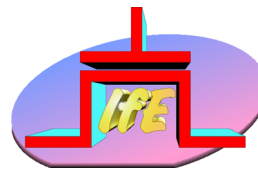


# Hochfrequenz-Modellierung des MOS-Transistors

Dipl.-Phys. (Univ.) Elmar Gondro

Fakultät für Elektrotechnik und Informationstechnik  
Universität der Bundeswehr, München



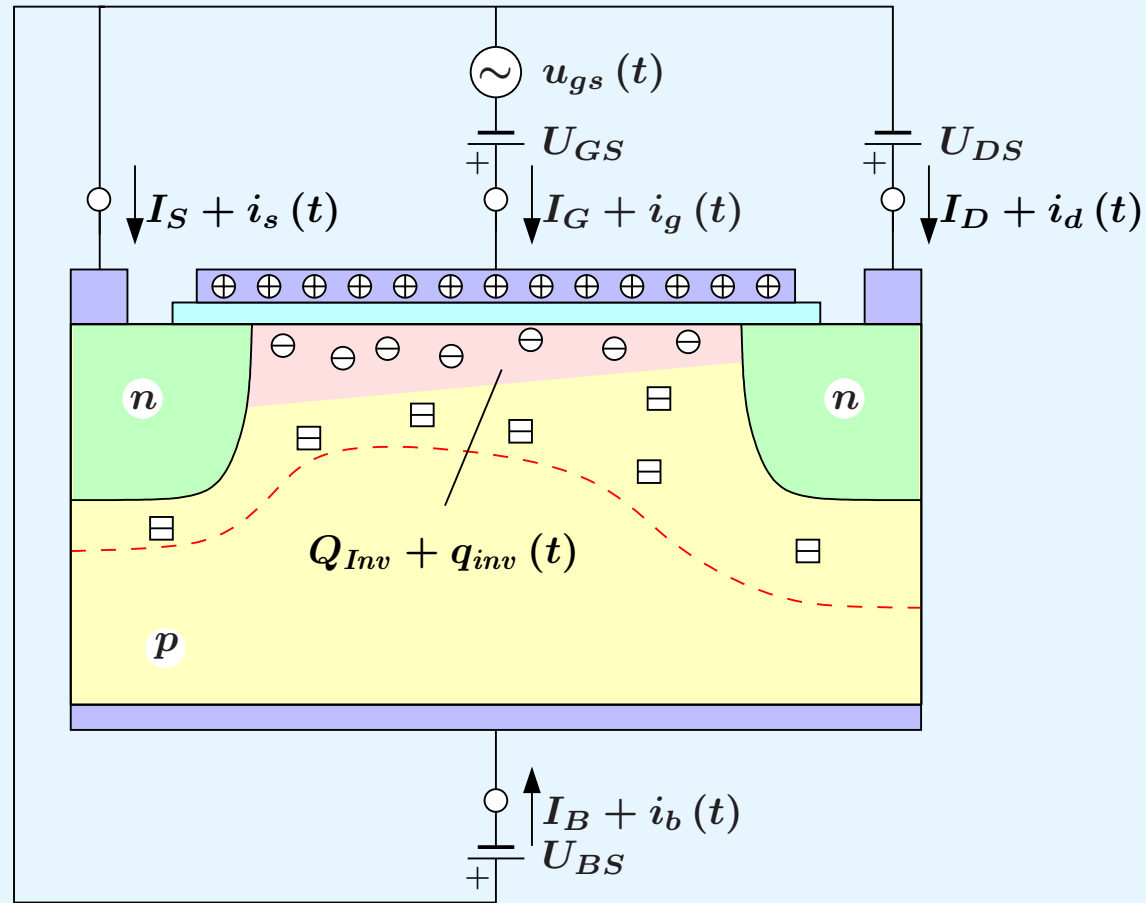
# Gliederung

- 1. Einleitung**
- 2. Bauelementesimulation**
- 3. Nichtquasistatisches Kleinsignalmodell**
- 4. Verifikation durch Messungen**
- 5. Zusammenfassung**

# Motivation und Zielsetzung

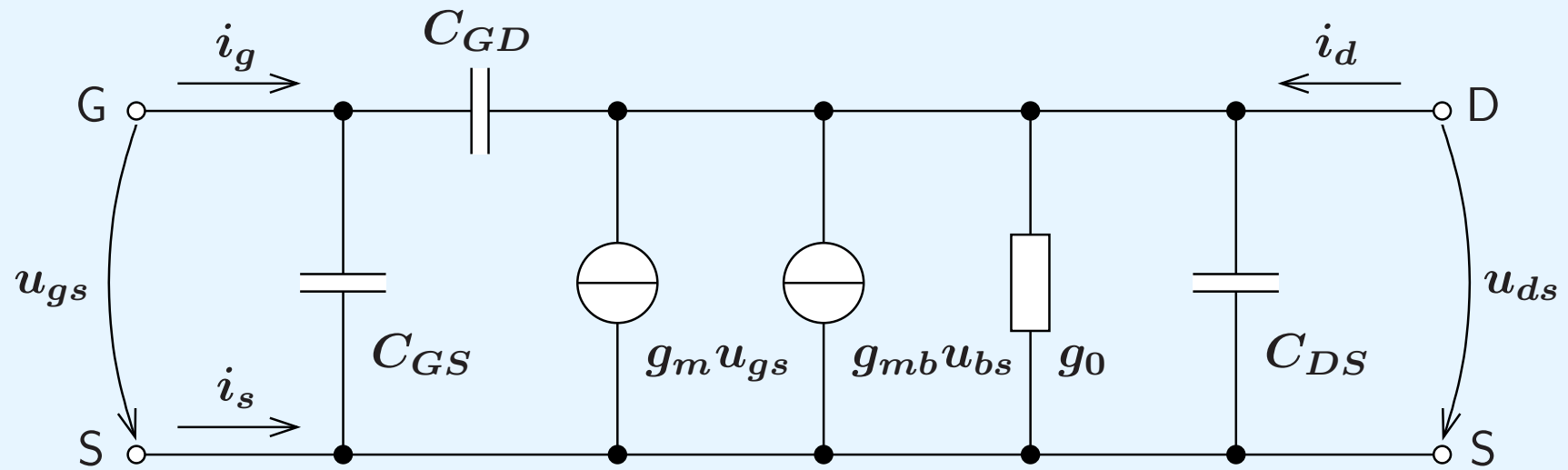
- MOSFET mit  $f_t > 50$  GHz  $\Rightarrow$  erweiterter Anwendungsbereich
- Standard-Modelle (z.B. BSIM3v3.1) unzureichend
- Neues HF-Modell erforderlich
  - Konsistente Beschreibung des Kanals
    - \* eine Kanallänge  $L_{ch}$  für DC und AC
  - Nichtquasistatische Beschreibung der Inversionsschicht
  - Modellierung des Eingangswiderstandes ( $R_{in} \neq 0$ )
    - \* Leistungsanpassung und Rauschanpassung
  - Beschreibung der parasitären Komponenten  $\Rightarrow$  Steilheiten
- Verifikation an einem kommerziellen Prozeß

# Kleinsignalansteuerung

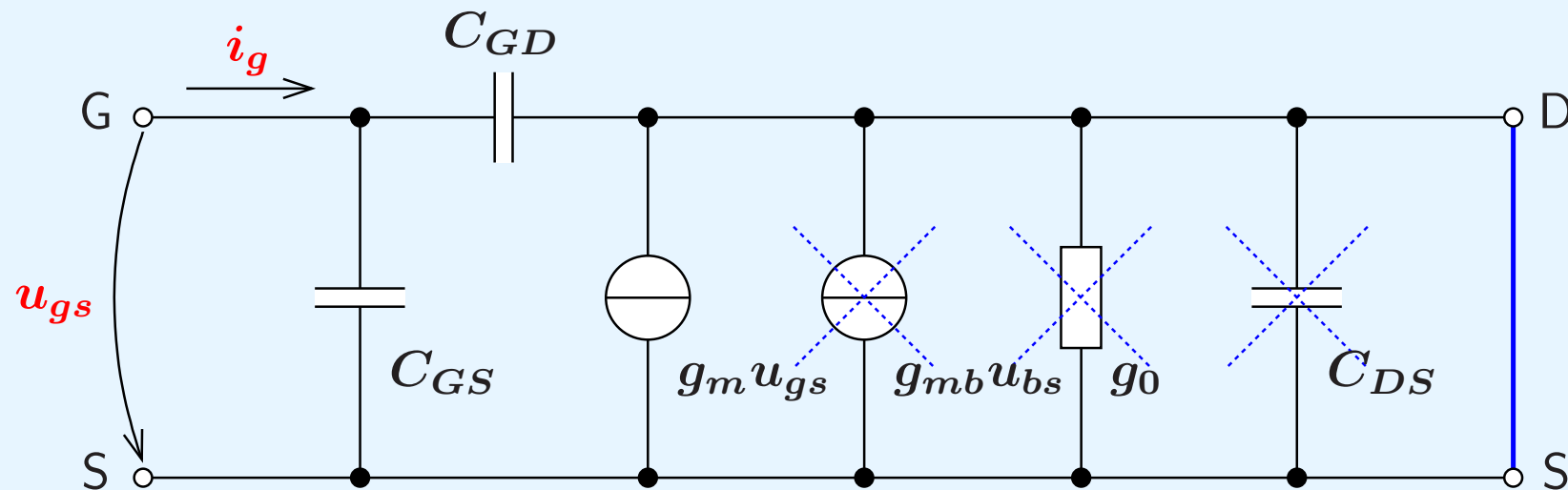


- **Gutes AC-Modell basiert immer auf gutem DC-Modell!**

# Standard-Kleinsignalersatzschaltbild



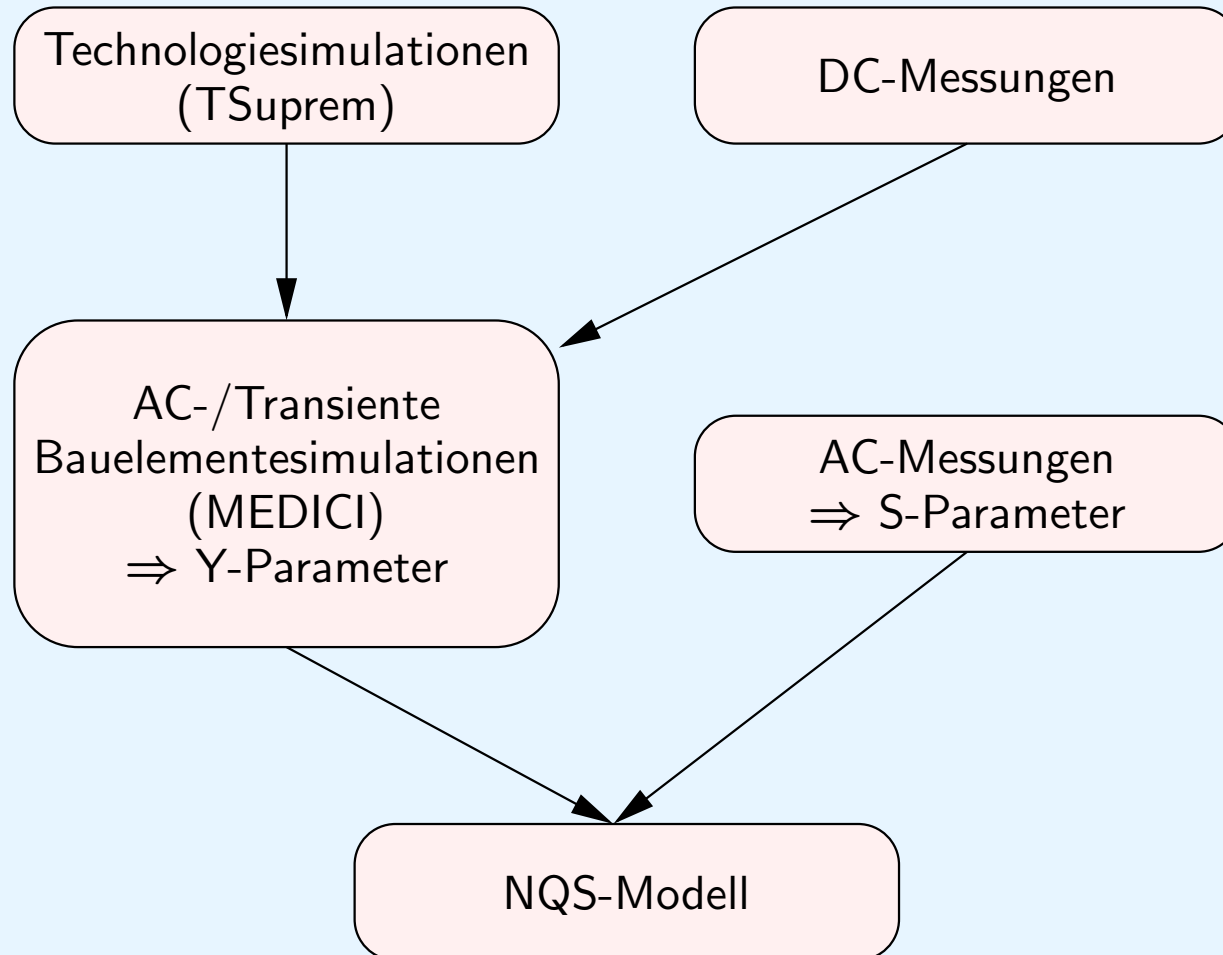
## Problembeispiel: Eingangswiderstand



$$R_{in} \equiv \operatorname{Real} \left( \frac{u_{gs}}{i_g} \right) \Big|_{u_{ds}=u_{bs}=0} = \operatorname{Real} (1/Y_{11})$$

$$R_{in} = R_{in}(U) \quad \text{aber:} \quad R_{in} \neq R_{in}(f)$$

# Vorgehensweise

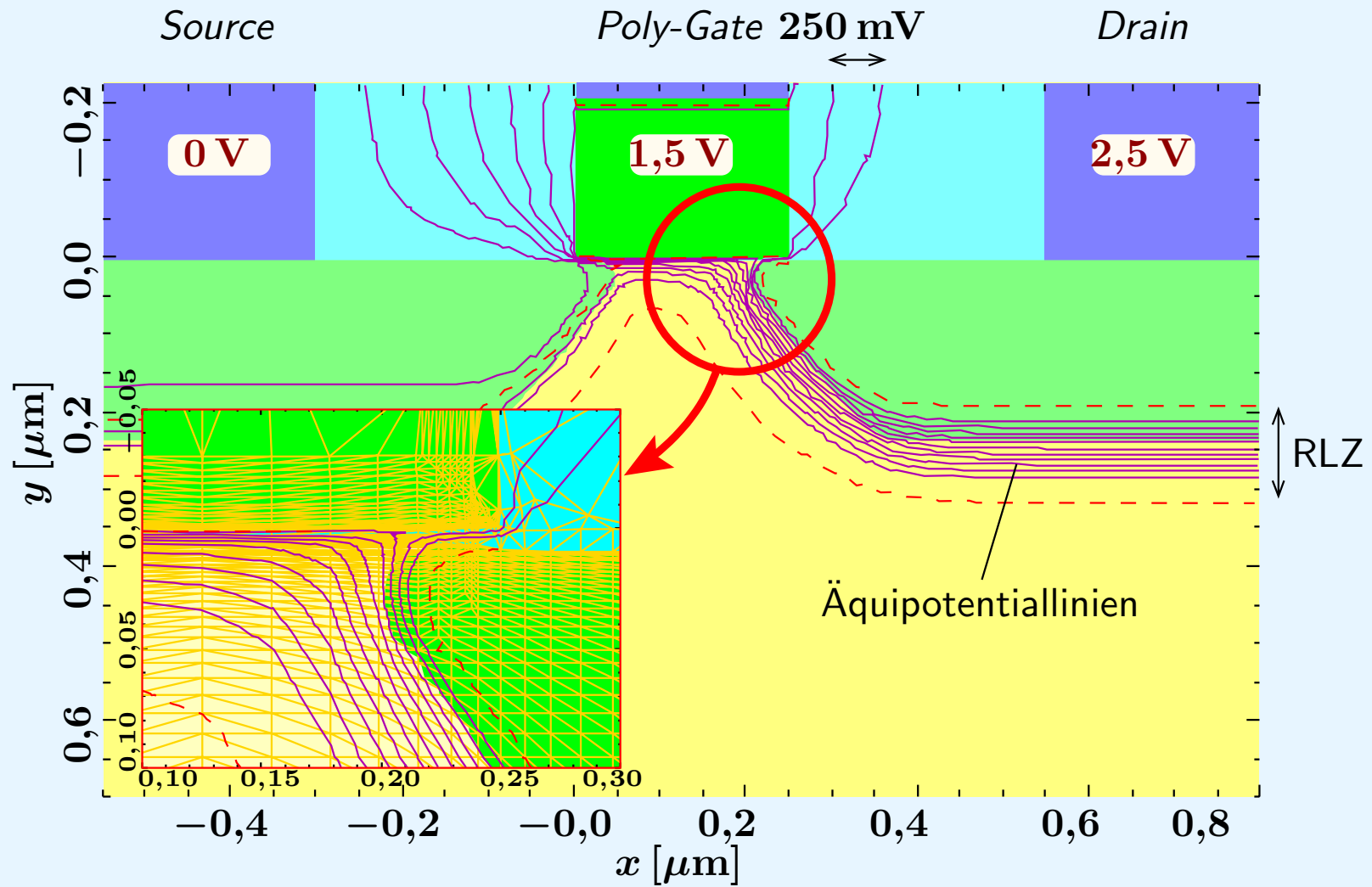


# Gliederung

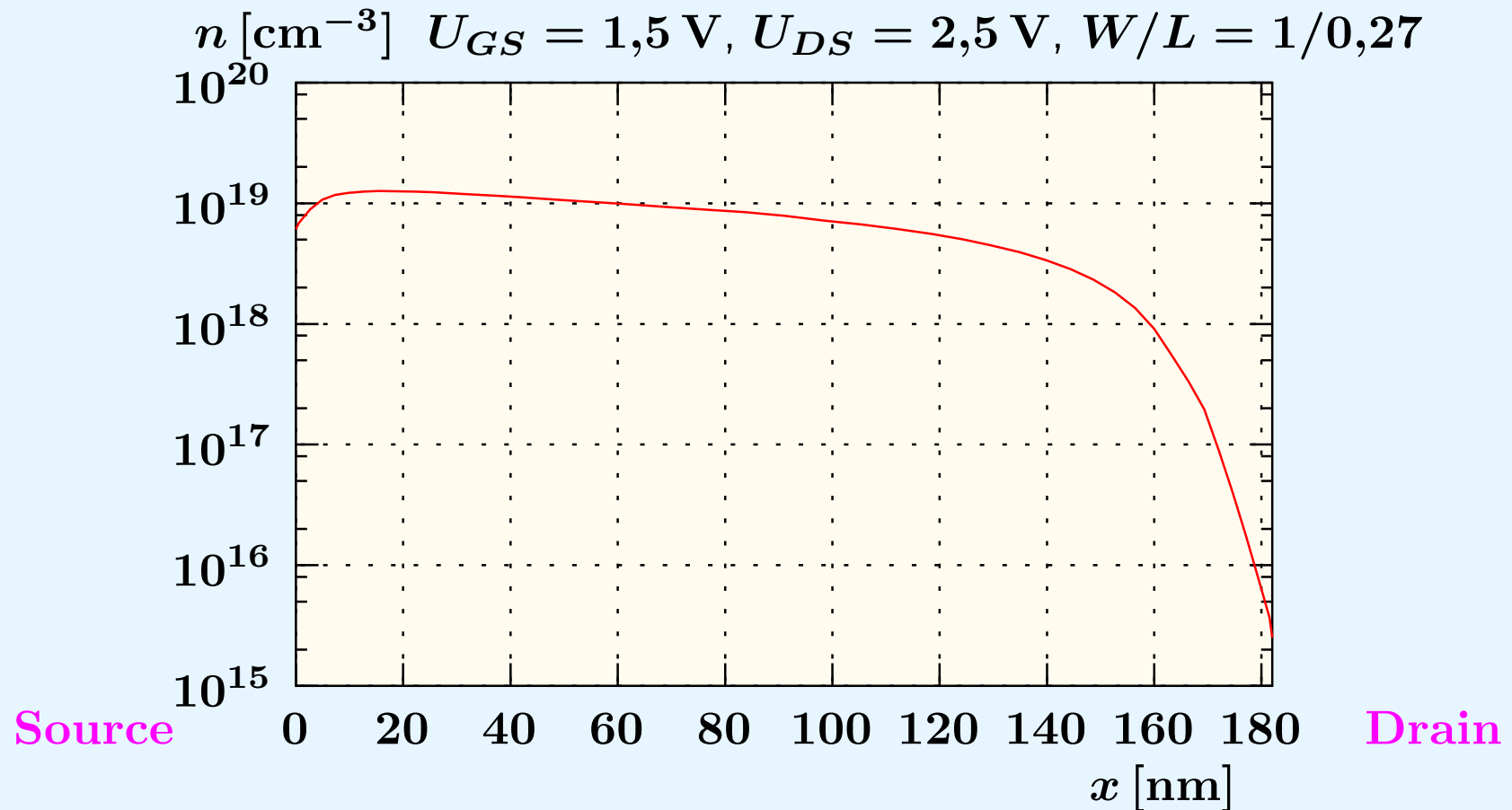
1. Einleitung
2. Bauelementesimulation
3. Nichtquasistatisches Kleinsignalmodell
4. Verifikation durch Messungen
5. Zusammenfassung



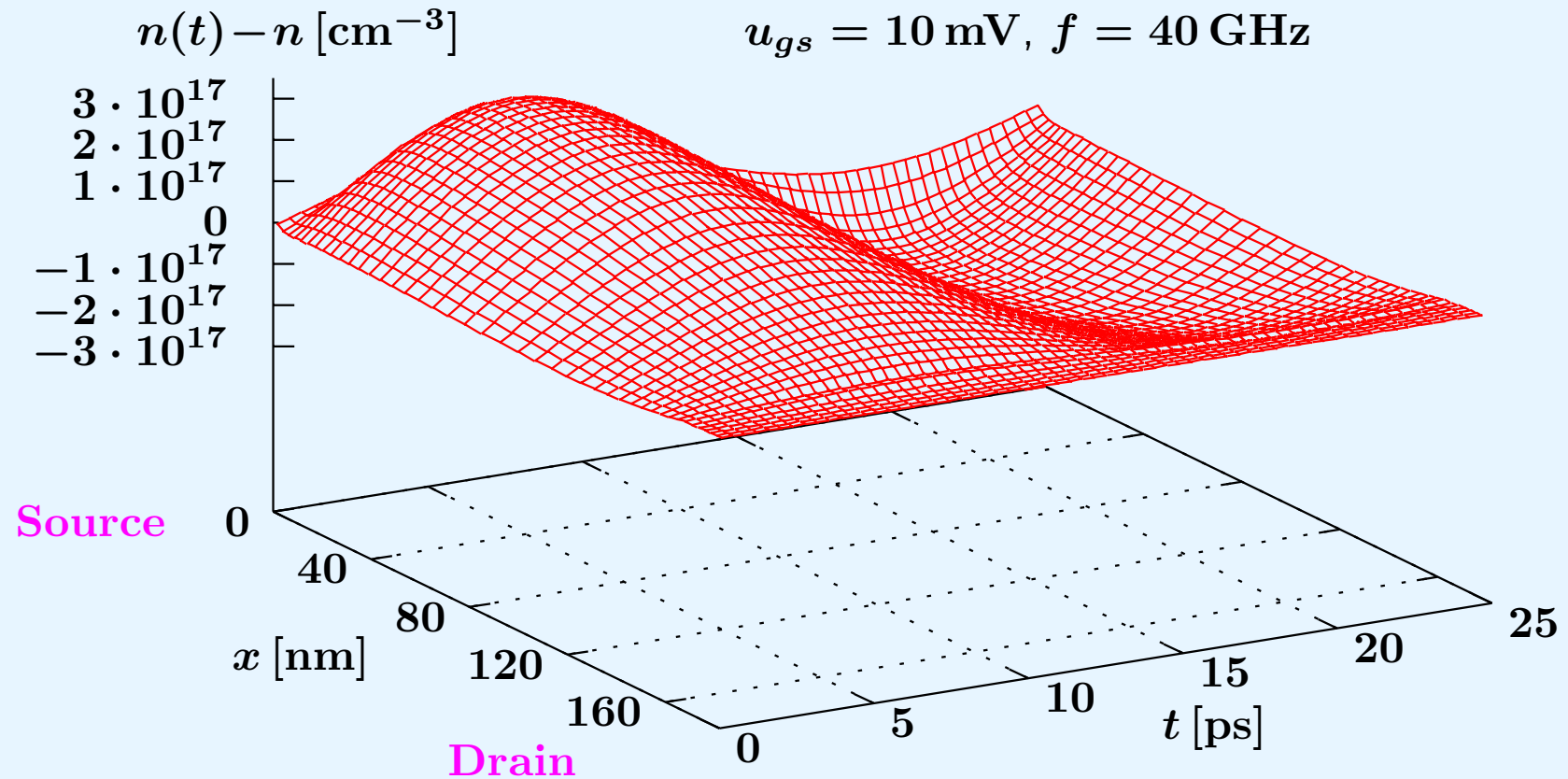
# Technologiesimulation



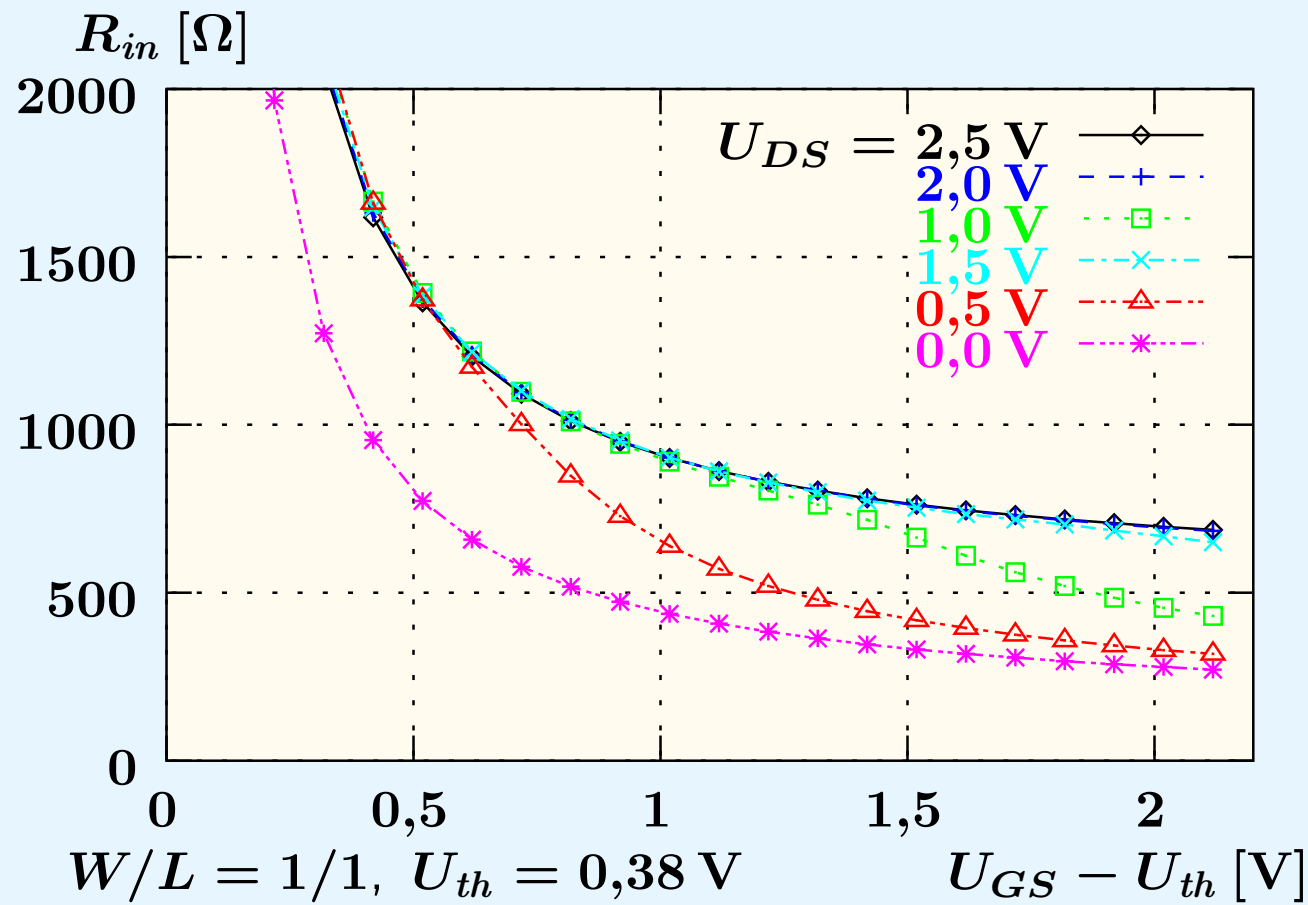
# Laterale Elektronenkonzentration in Sättigung



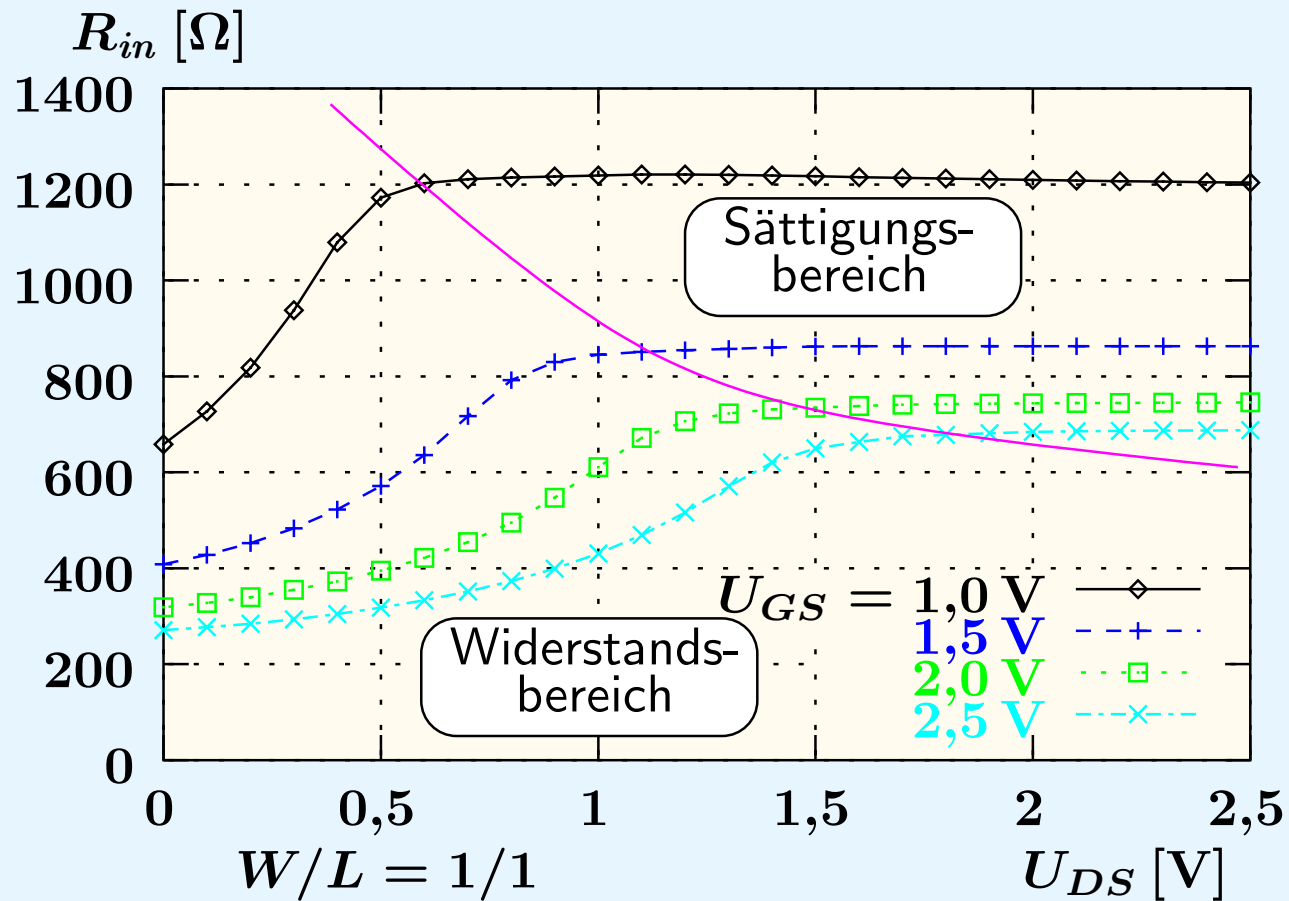
# Laterale Elektronenkonzentration vs. Zeit



# Eingangswiderstand vs. Gatespannung



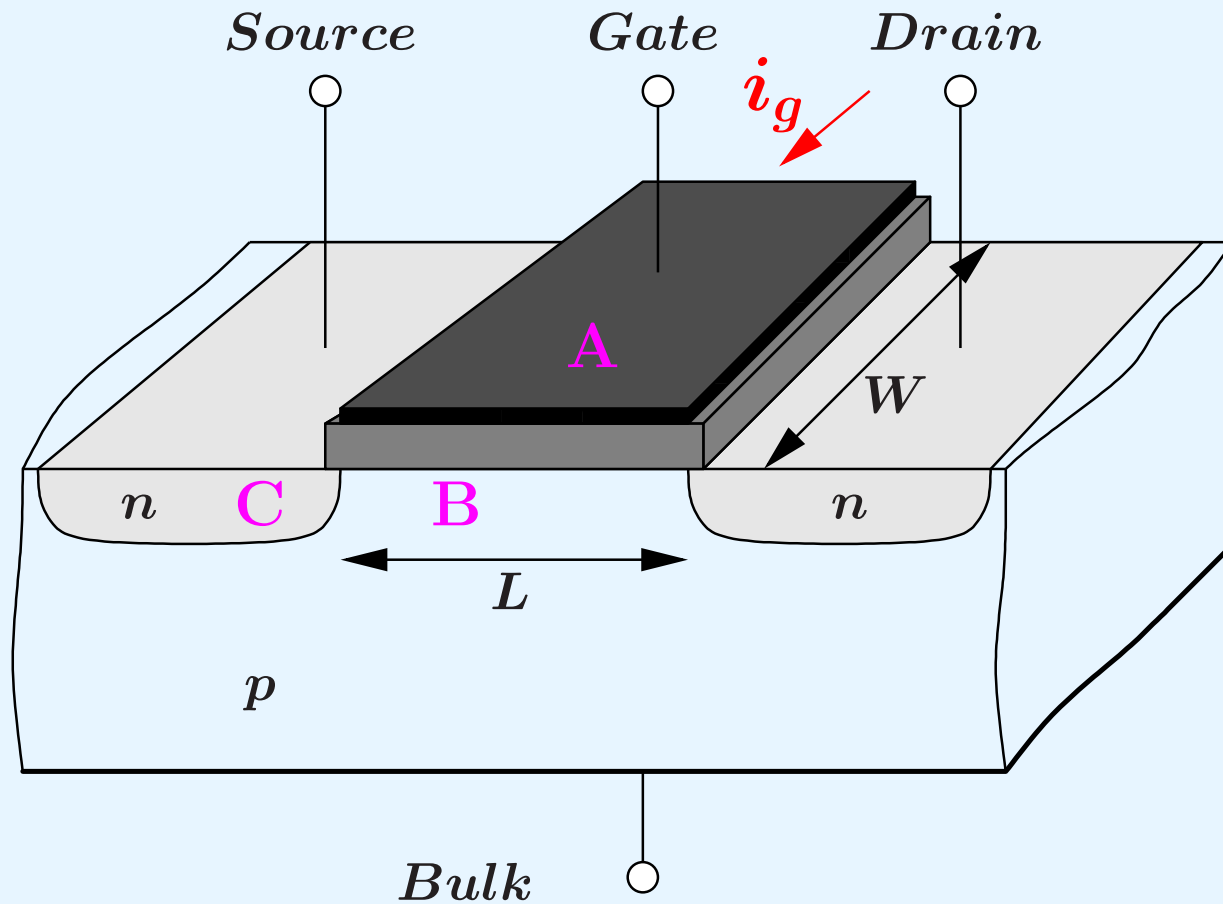
# Eingangswiderstand vs. Drainspannung



# Gliederung

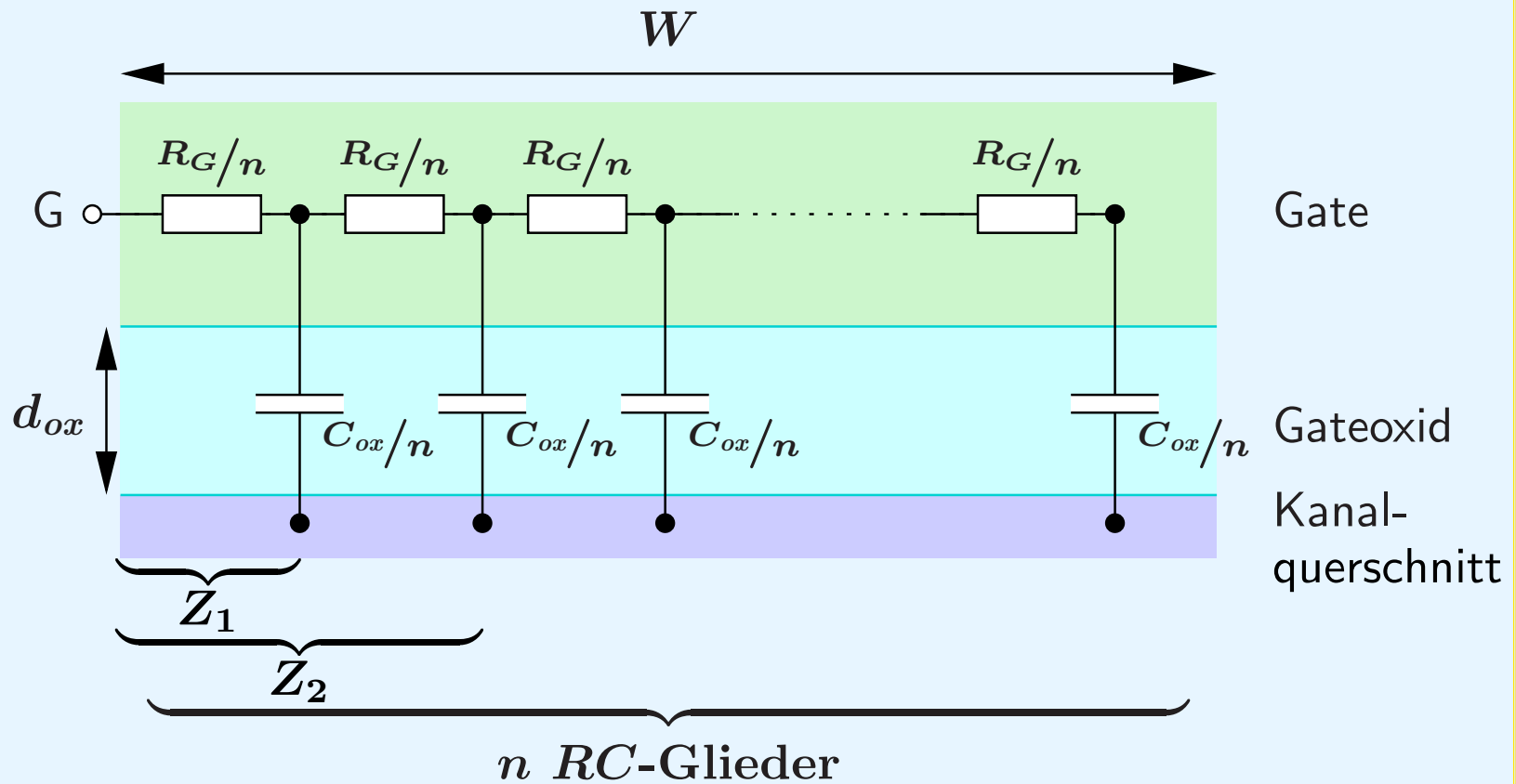
1. Einleitung
2. Bauelementesimulation
- 3. Nichtquasistatisches Kleinsignalmodell**
4. Verifikation durch Messungen
5. Zusammenfassung

## Gatestrom des MOSFETs



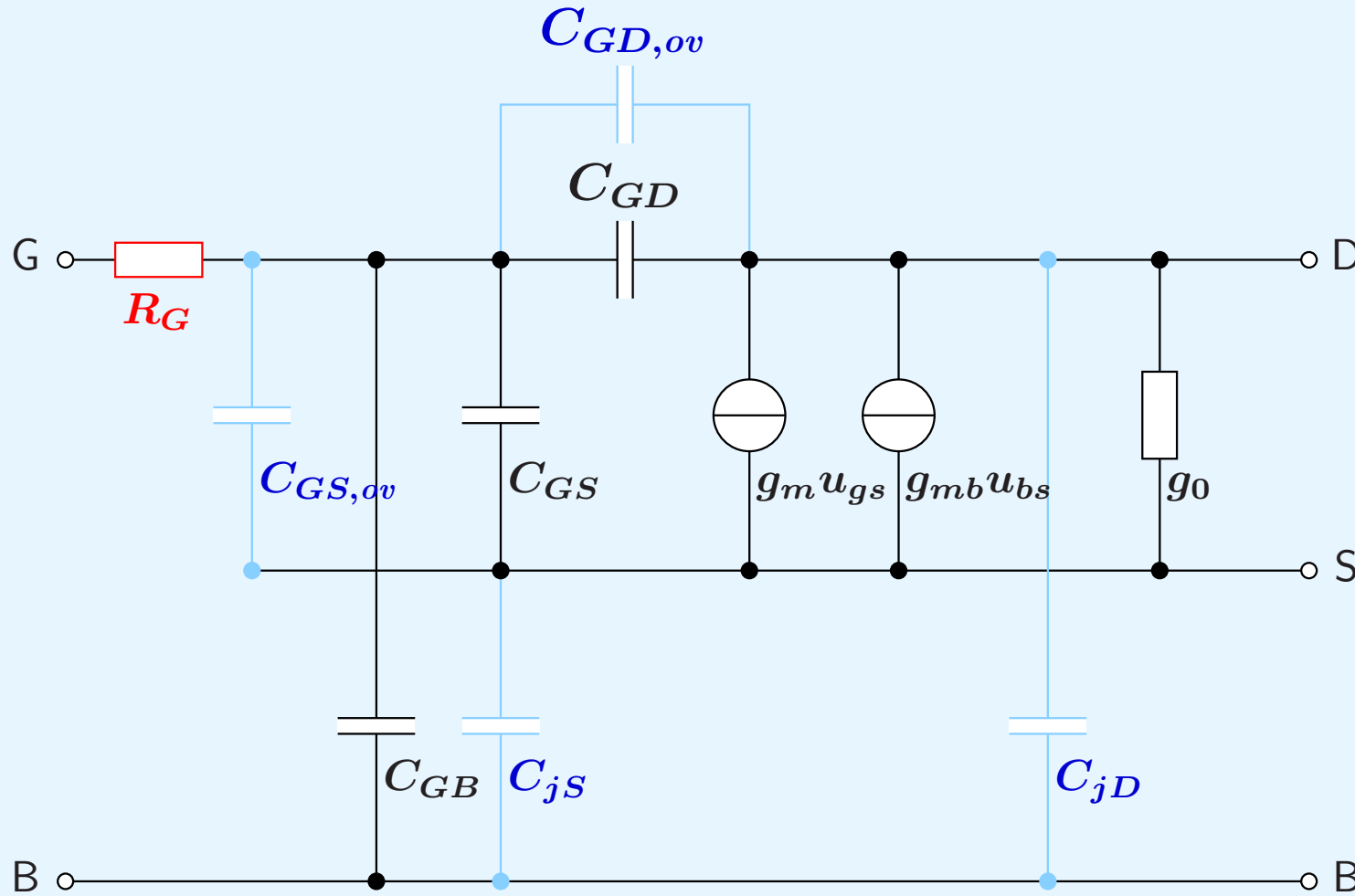
- Gatestrom verläuft im Gate senkrecht zur Kanalrichtung!

# Diskretisierung des Gates (A)

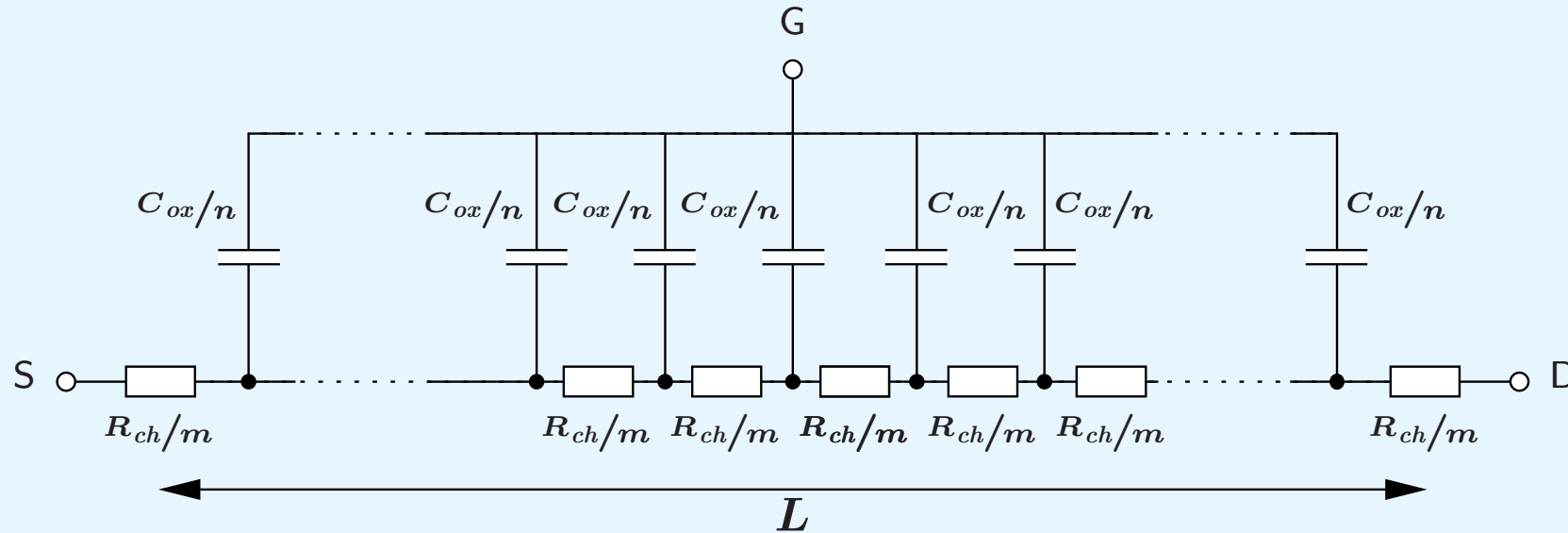




# Erweitertes Kleinsignalersatzschaltbild (A)

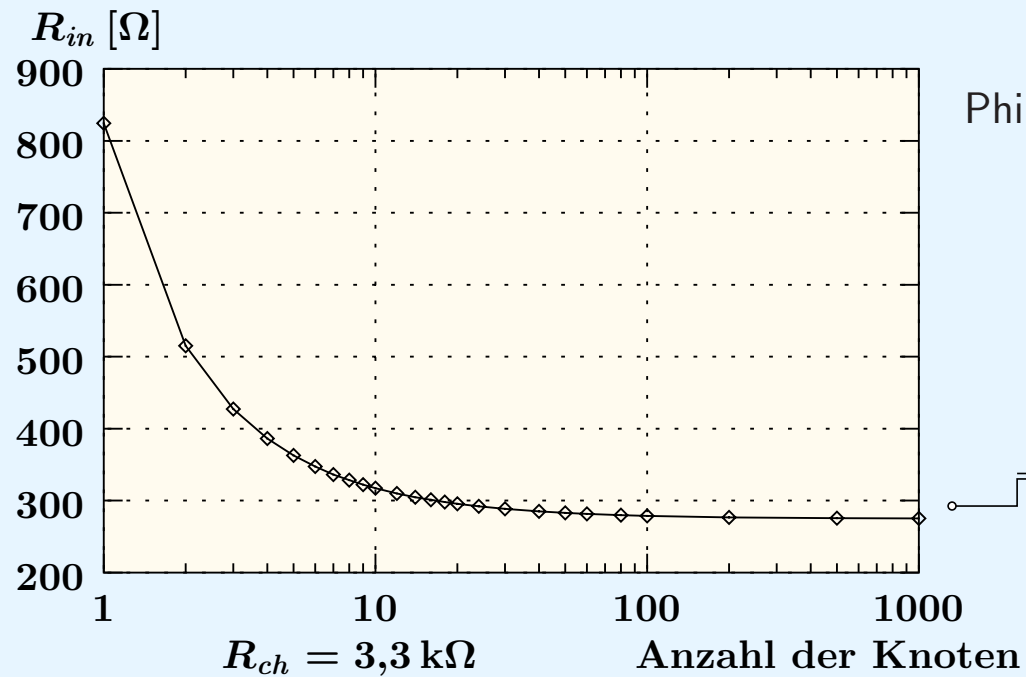


## Diskretisierung des Kanals (B)

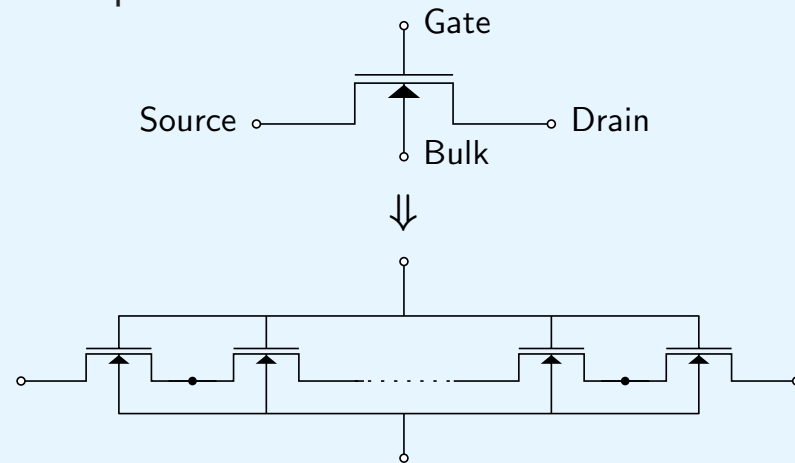


- **Unterschiede zur transmission line im Gatematerial:**
  - Gatestrom verteilt sich auf Source und Drain.  $\Rightarrow$  Dreipol
  - Widerstand des Kanals ist spannungsabhängig.
- **Ziel:**
  - Eingangswiderstand als Funktion des Kanalwiderstands
  - Aufteilung des Kanalwiderstands in  $R_{GD}$  und  $R_{GS}$

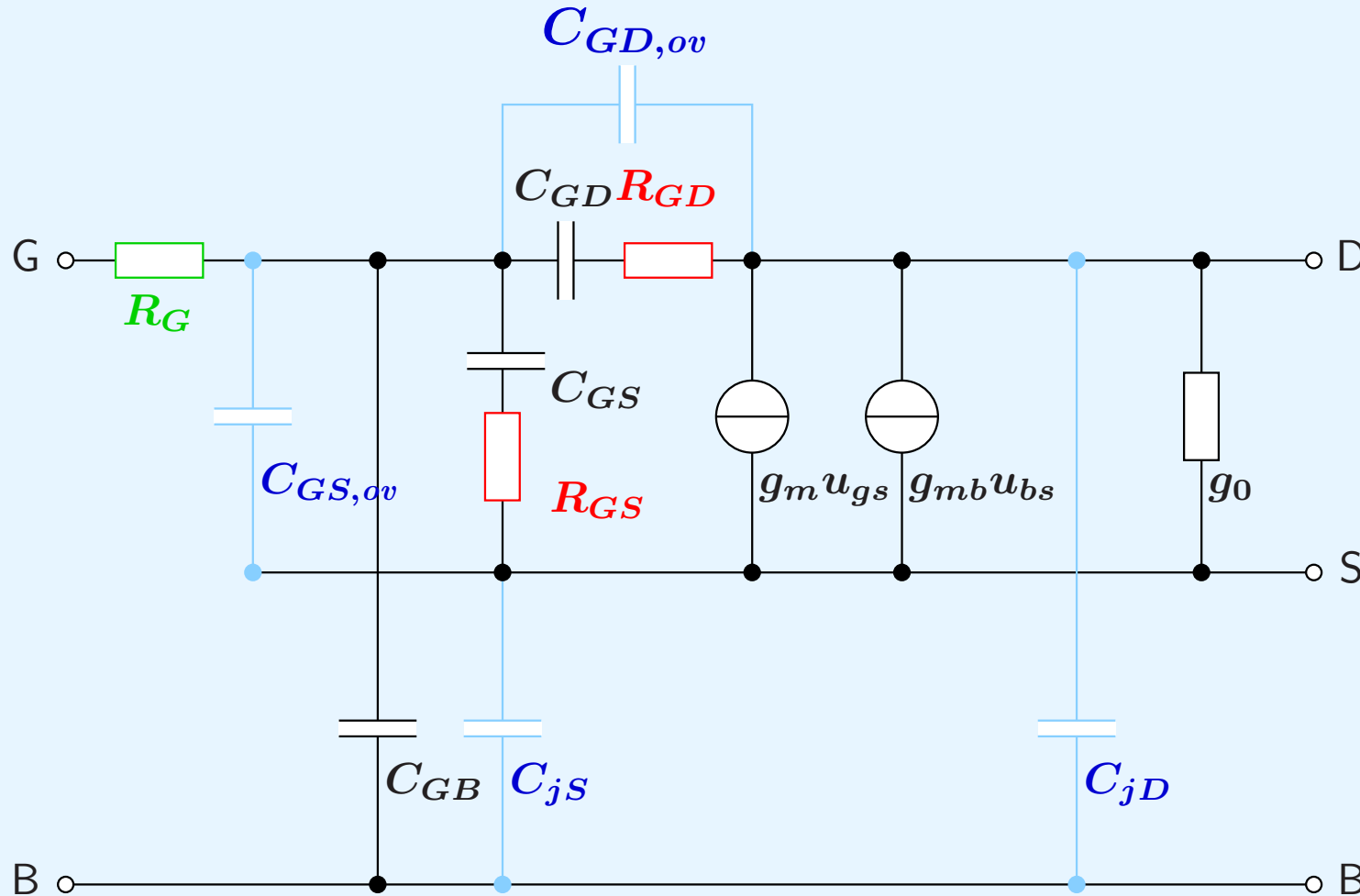
# Variation der Knotenanzahl im Kanal (B)



Philips-Modell:

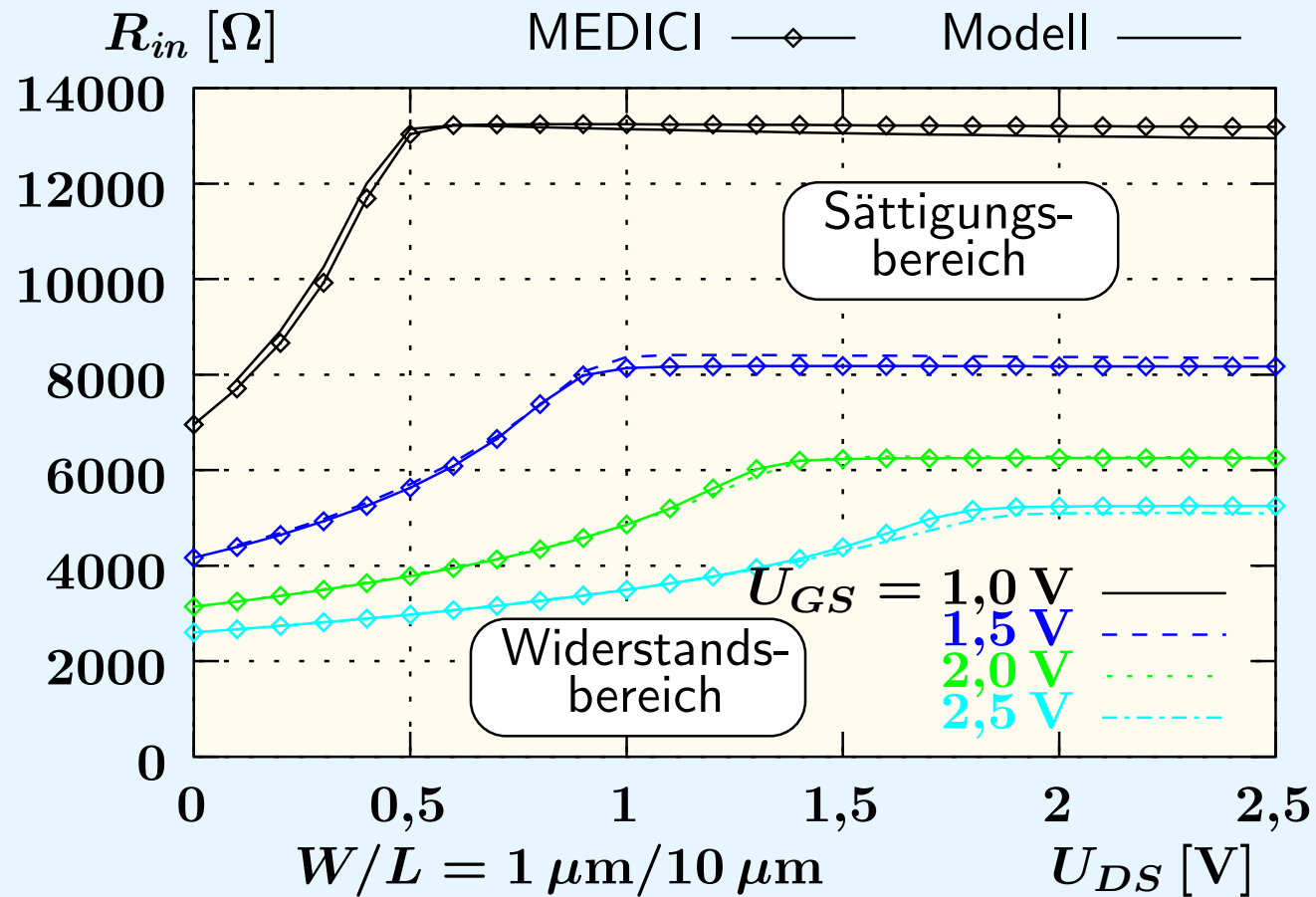


# Erweitertes Kleinsignalersatzschaltbild (B)



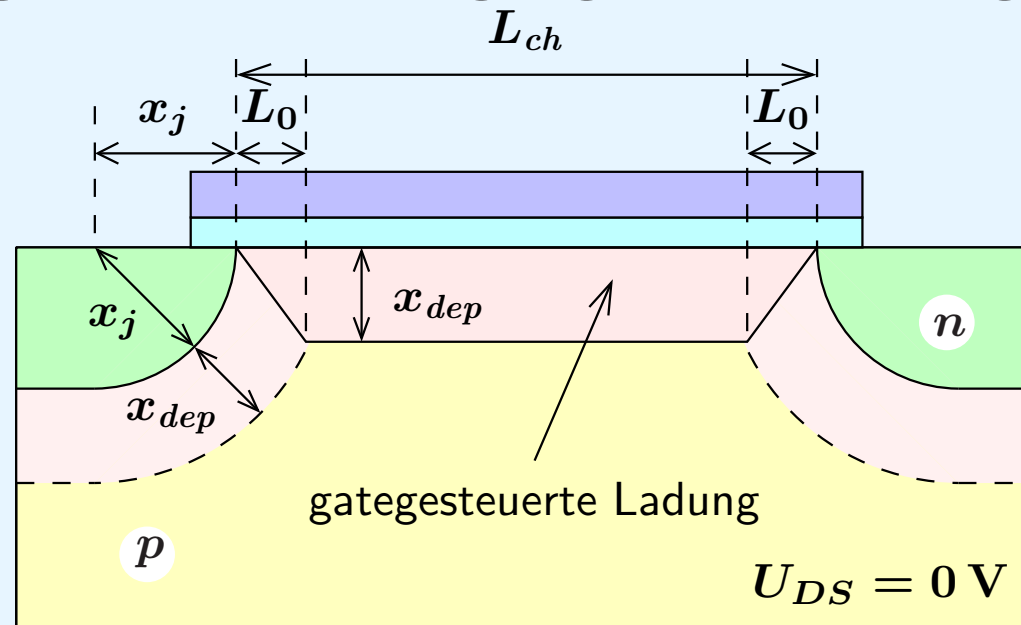
● Keine Änderung des DC-Verhaltens!

# Eingangswiderstand eines Langkanal-Transistors



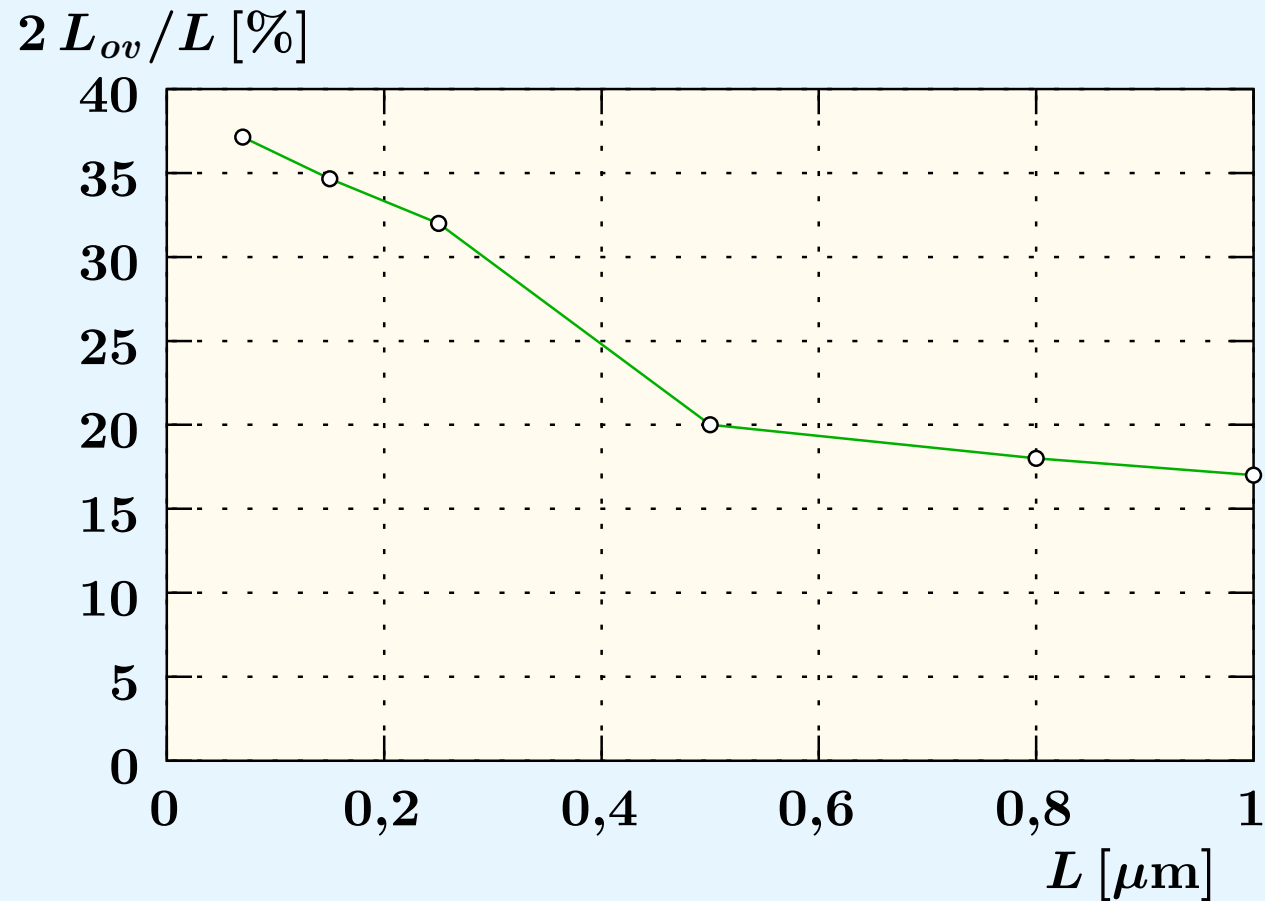
# Modellerweiterung für Kurzkanal-Transistoren

1. DC-Kurzkanaleffekte  $\Rightarrow$  DC-Modell
2. Raumladungszonen reduzieren gategesteuerte Ladung.

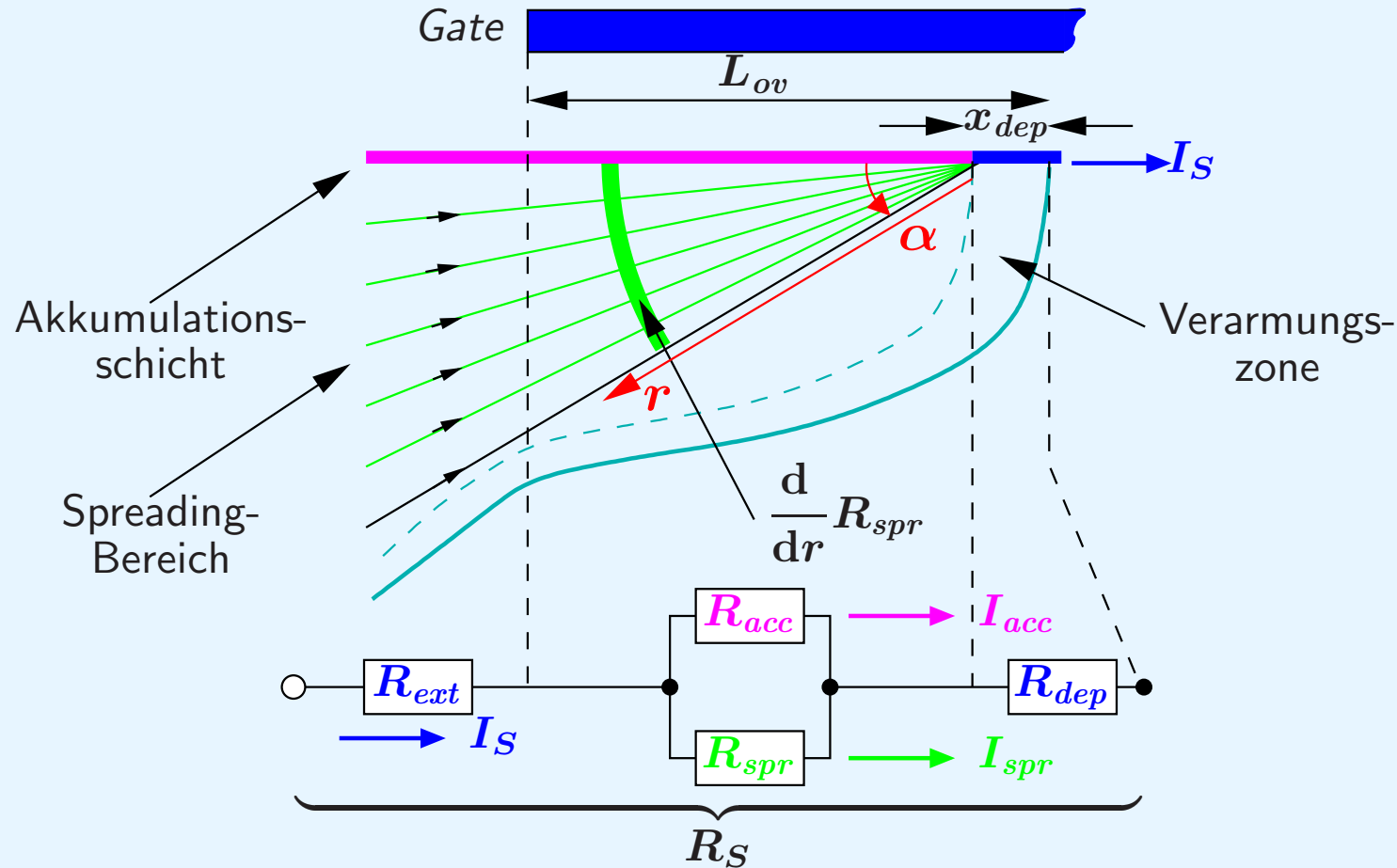


3. Parasitäre Widerstände gewinnen an Bedeutung.
  - Kanallänge skaliert stärker als Überlapplänge.

## Zunehmende Bedeutung der Parasiten (C)



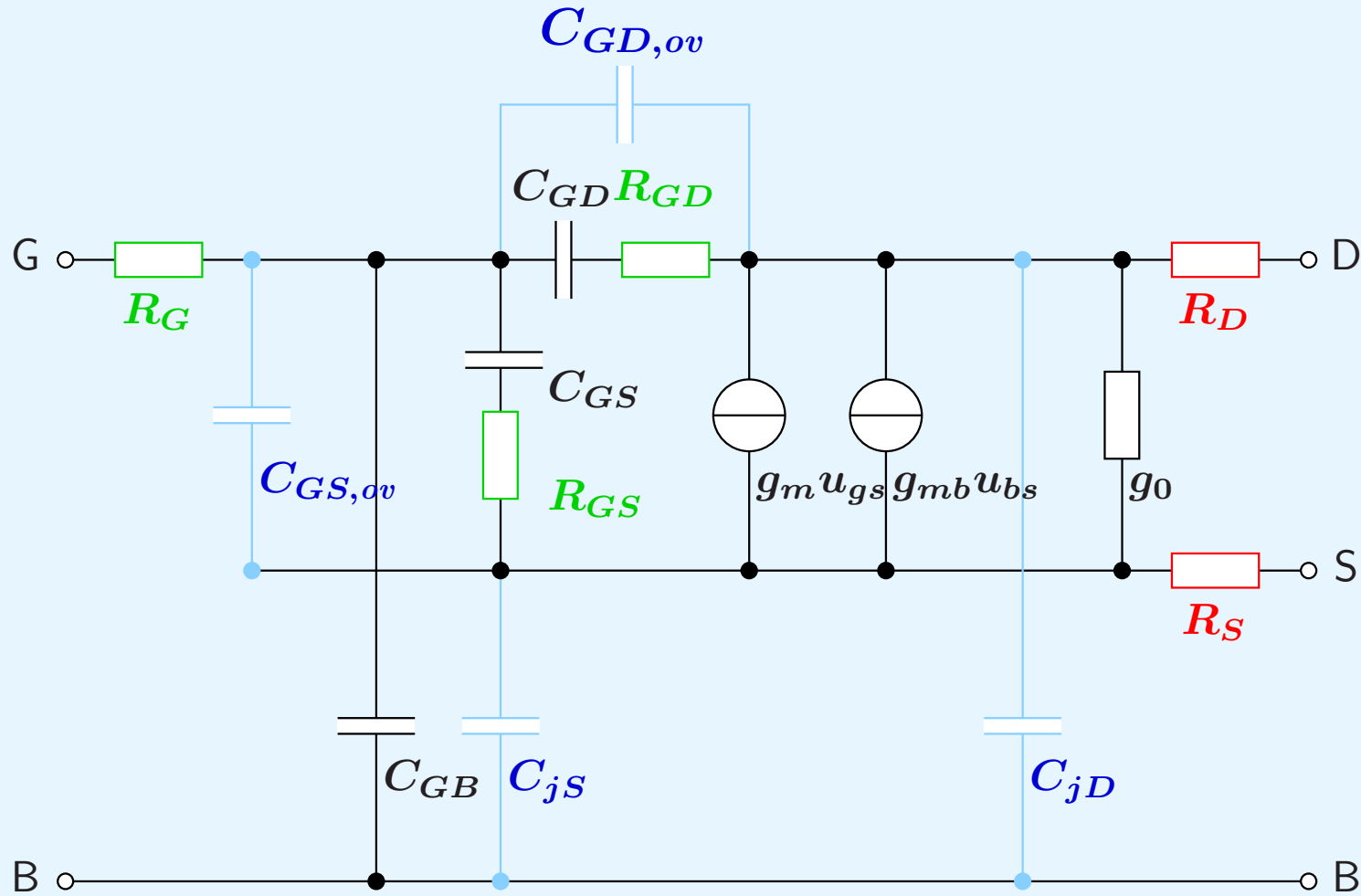
# Modellansatz für parasitäre Widerstände (C)



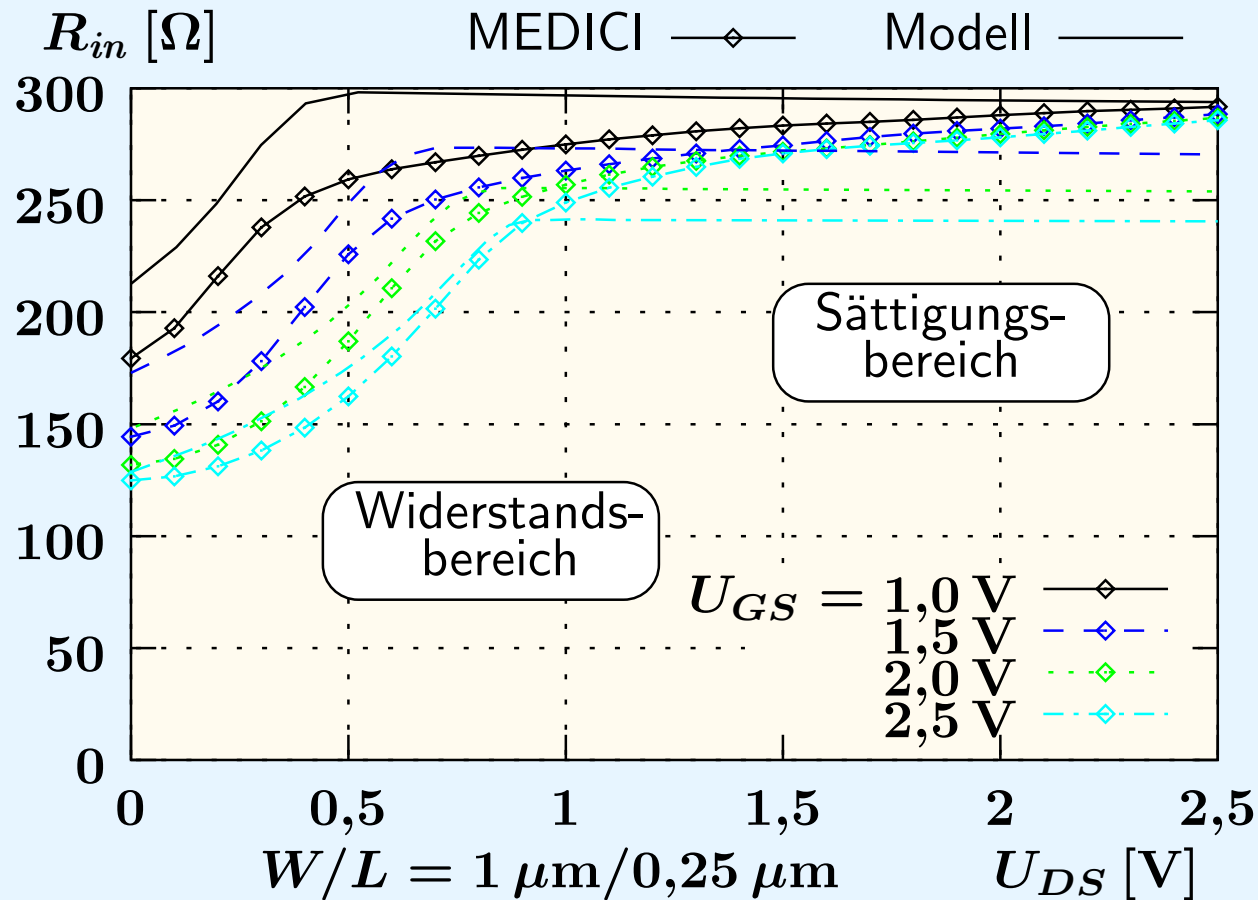
- Separation der Akkumulations- und Spreading-Komponente
- Konsistente Kanallänge für AC/DC-Beschreibung



# Erweitertes Kleinsignalersatzschaltbild (C)

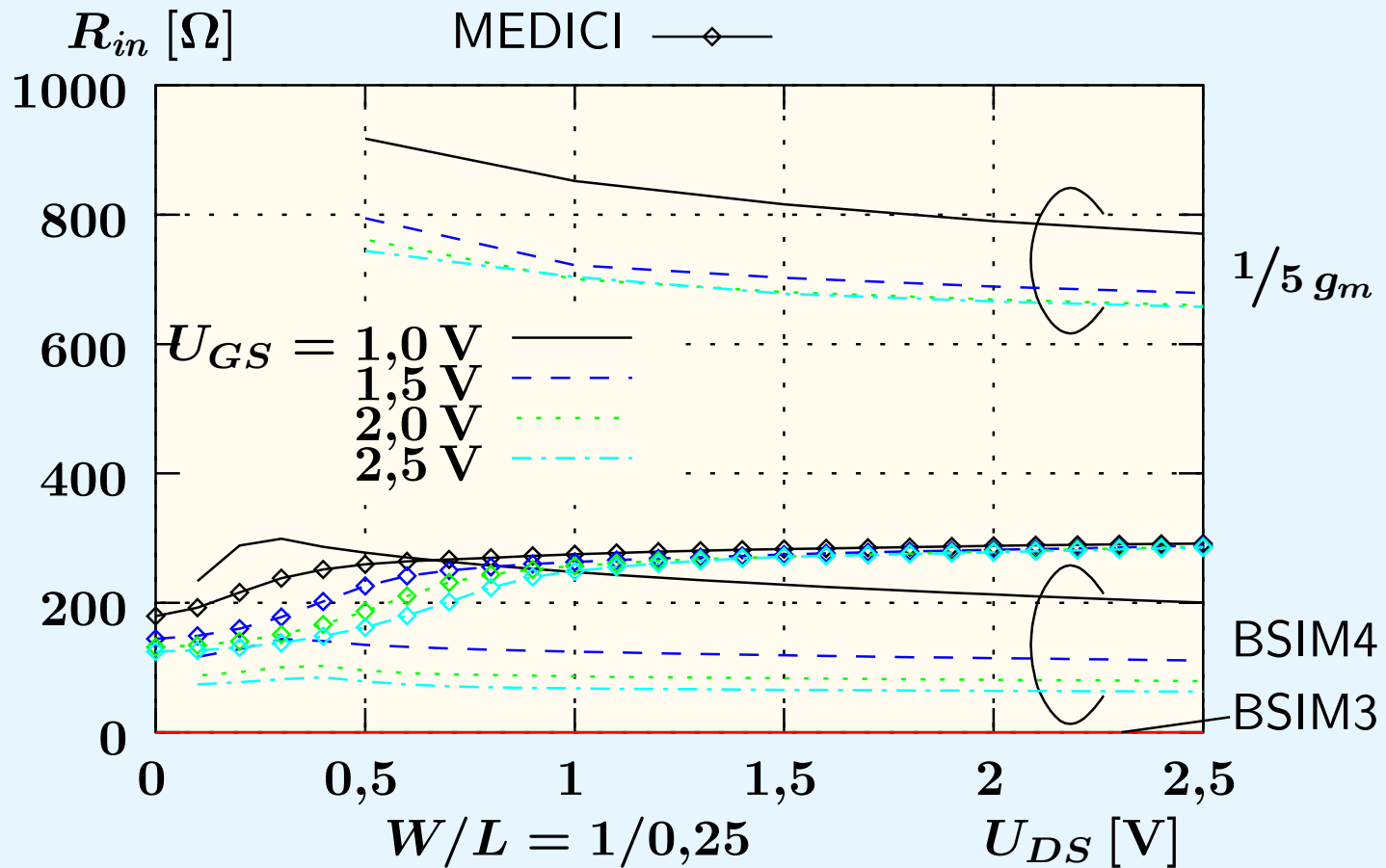


# Eingangswiderstand eines Kurzkanal-Transistors



- Abweichung über den gesamten Arbeitsbereich  $< 20\%$ .

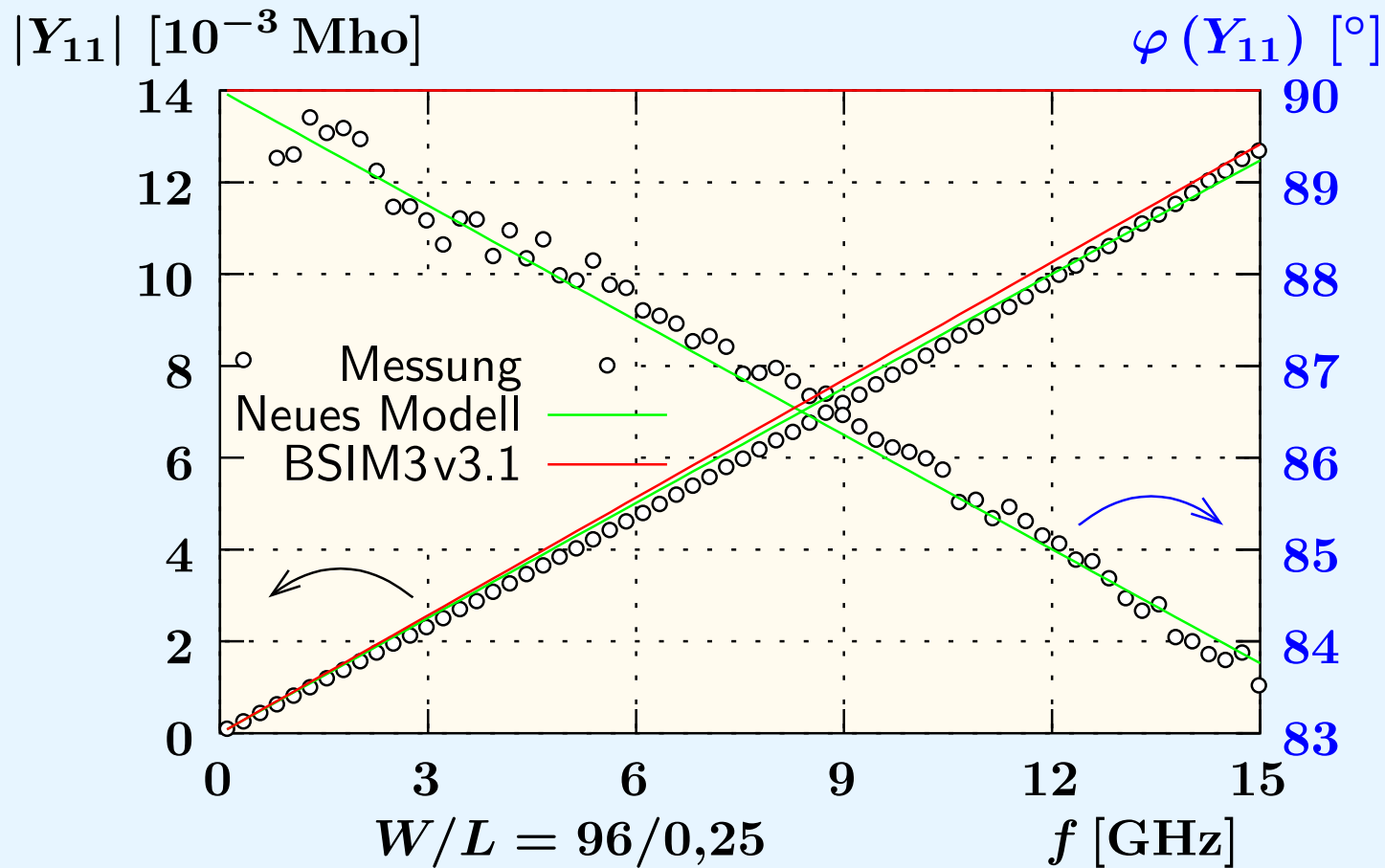
# Vergleich verschiedener Literaturmodelle



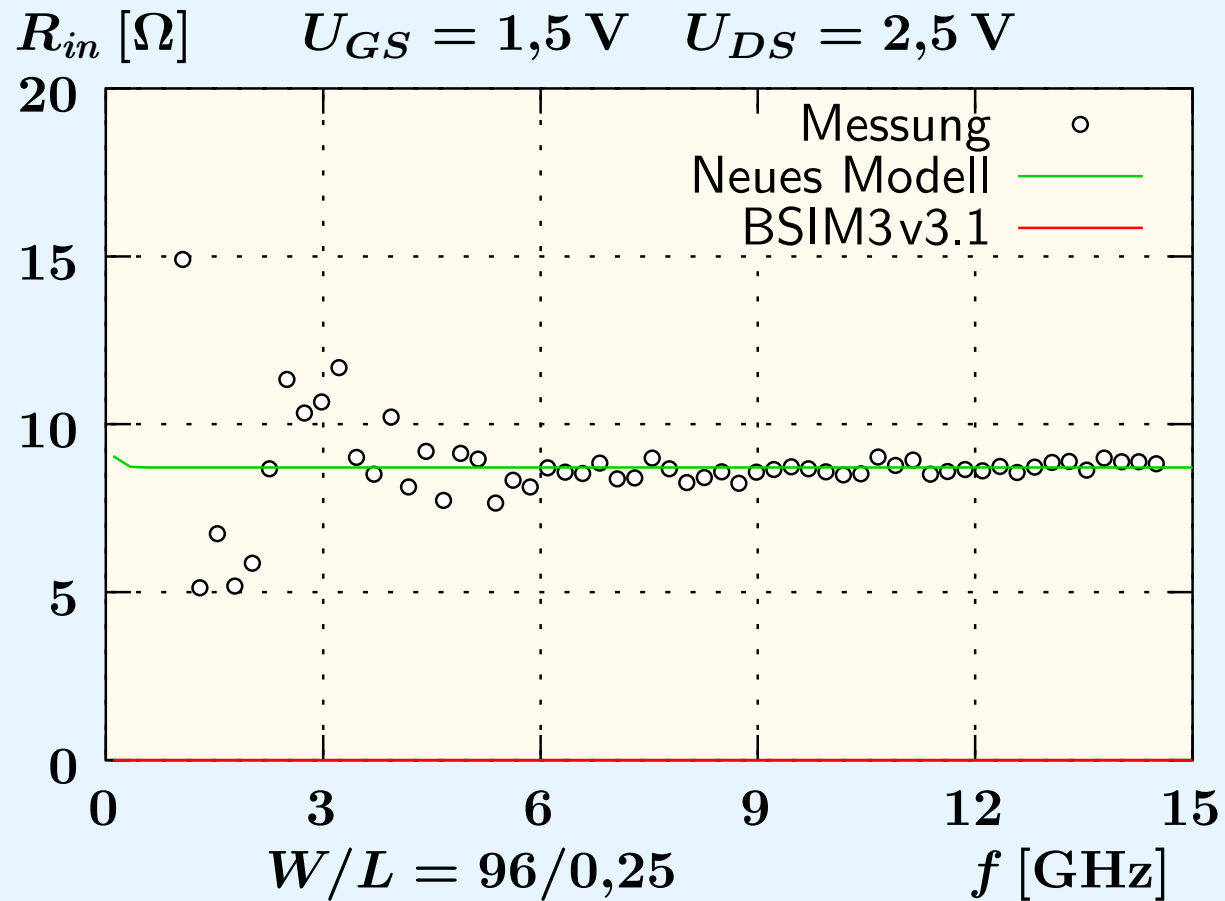
# Gliederung

1. Einleitung
2. Bauelementesimulation
3. Nichtquasistatisches Kleinsignalmodell
4. **Verifikation durch Messungen**
5. Zusammenfassung

# Admittanzen



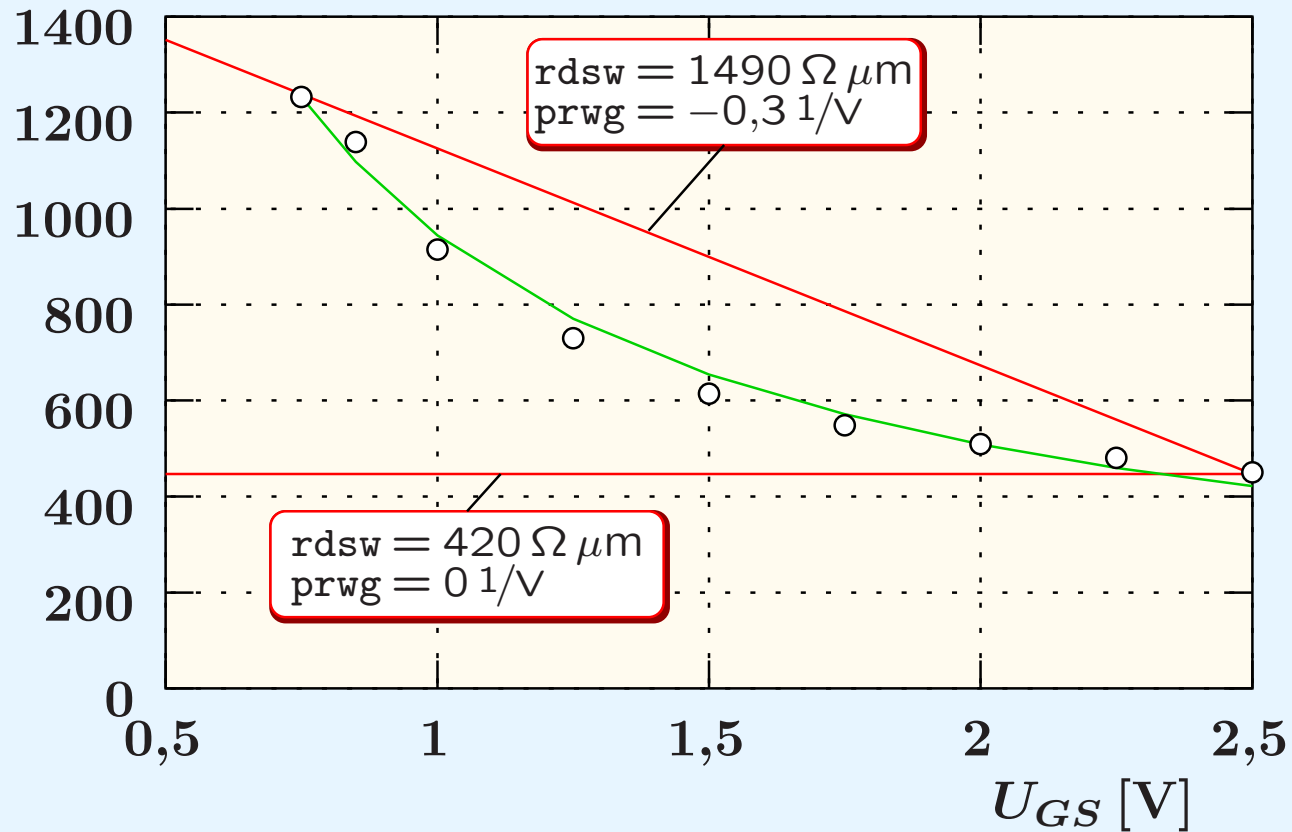
# Eingangswiderstand



# Serienwiderstände

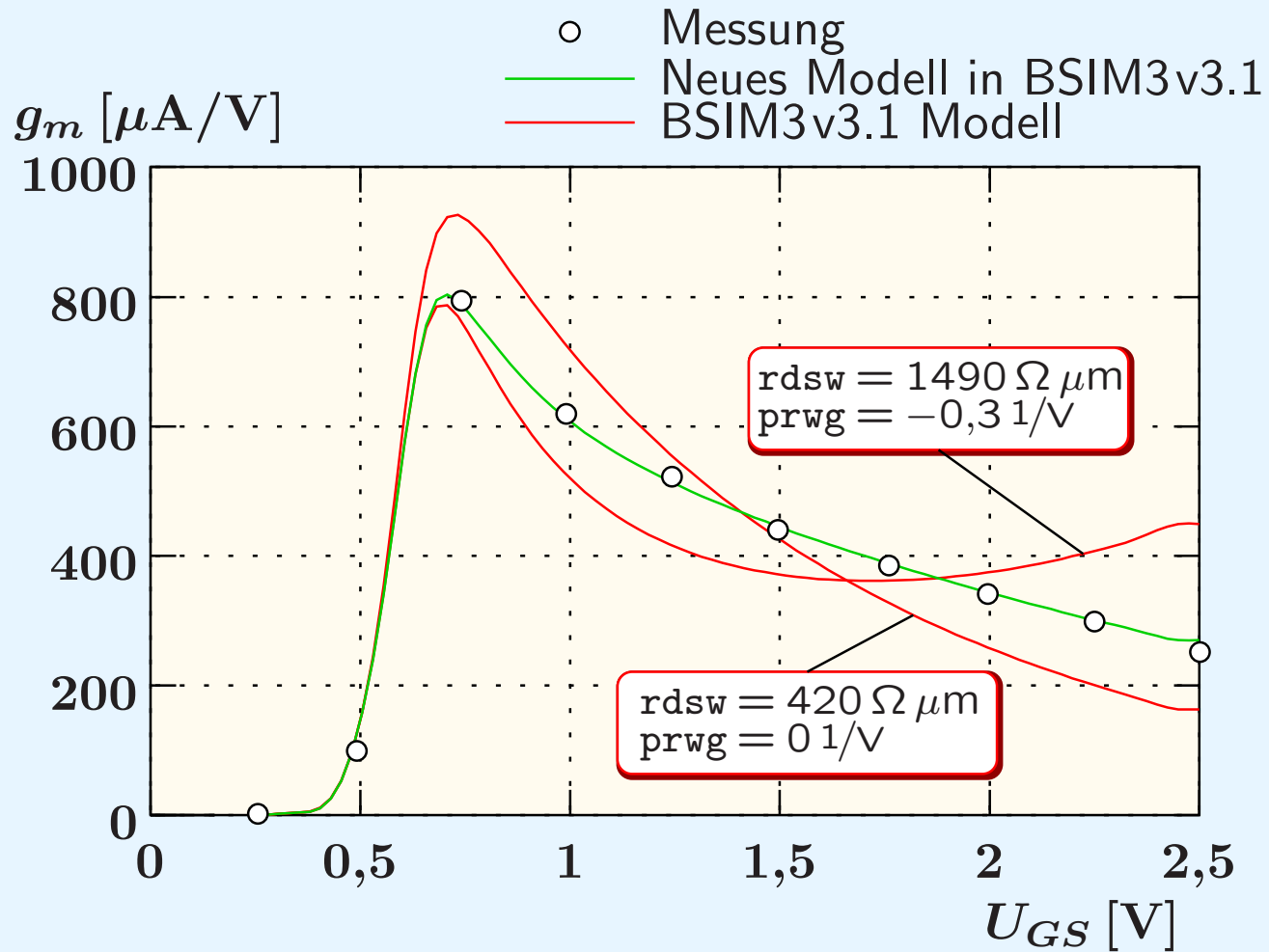
$(R_S + R_D) \cdot W$  [ $\Omega \mu\text{m}$ ]

○ Messung  
 — Neues Modell in BSIM3v3.1  
 — BSIM3v3.1 Modell



● Compact Model Council  $\Rightarrow$  BSIM4

# Gatesteilheit

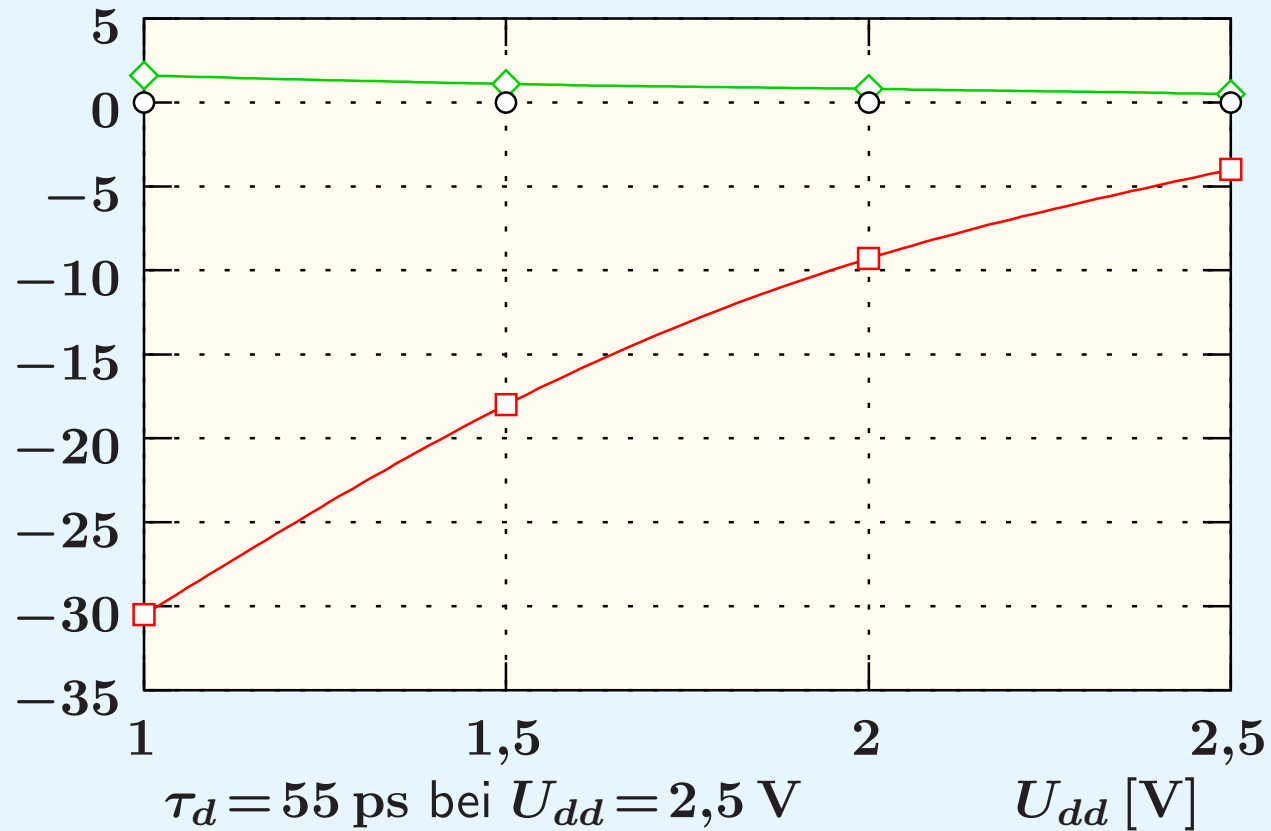




# Verzögerungszeit eines Ringoszillators

Fehler der simulierten Verzögerungszeit [%]

Messung  
 Neues Modell in BSIM3v3.1  
 BSIM3v3.1 Modell



# Zusammenfassung

Kriterium	Standard	BSIM3	Neues Modell
NQS-Verhalten	⊖	⊖	⊕
Eingangsimpedanz	⊖	⊖	⊕
Steilheiten	(⊖)	(⊕)	⊕
Überlappgebiet	⊖	(⊖)	⊕
Skalierbarkeit	(⊖)	⊕	⊕
AC/DC-Kanallänge	⊕	⊖	⊕

- Teil C des neuen Modells in BSIM4

# Publikationen

- E. Gondro. *Auswirkungen von LDD-Strukturen auf die elektrischen Eigenschaften von MOS-Transistoren*. Diplomarbeit, Technische Universität München, November 1997.
- E. Gondro. *An improved bias dependent series resistance description for MOS models*. Compact Model Council meeting, Santa Clara, Kalifornien, USA, Mai 1998.
- E. Gondro, F. Schuler und P. Klein. *A Physics Based Resistance Model of the Overlap Regions in LDD-MOSFETs*. In *Simulation of Semiconductor Processes and Devices (SISPAD 98)*, Seiten 267–270, Leuven, Belgien, September 1998. Springer-Verlag Wien.
- E. Gondro, P. Klein, F. Schuler und O. Kowarik. *A Non-Linear Description of the Bias Dependent Parasitic Resistances of Quarter Micron MOSFETs*. In *IEEE International Conference on Semiconductor Electronics (ICSE 98)*, Seiten 97–99, Bangi, Malaysia, November 1998.
- E. Gondro, P. Klein und F. Schuler. *An Analytical Source-and-Drain Series Resistance Model of Quarter Micron MOSFETs and its Influence on Circuit Simulation*. In *IEEE International Symposium on Circuits and Systems (ISCAS 99)*, Band 6, Seiten 206–209, Orlando, Florida, USA, Mai/Juni 1999.
- E. Gondro, F. Schuler, O. Kowarik und Chr. Kühn. *Physics Based Fatigue Compact Model for Ferroelectric Capacitors*. In *IEEE International Symposium on the Applications of Ferroelectrics (ISAF 2000)*, Honolulu, Hawaii, USA, August 2000.
- Chr. Kühn, H. Hönigschmid, O. Kowarik, E. Gondro und K. Hoffmann. *A Dynamic Ferroelectric Capacitance Model for Circuit Simulators*. In *IEEE International Symposium on the Applications of Ferroelectrics (ISAF 2000)*, Honolulu, Hawaii, USA, August 2000.
- E. Gondro, O. Kowarik, G. Knoblinger und P. Klein. *When do we need Non-Quasistatic CMOS RF-Models?* In *IEEE Custom Integrated Circuit Conference (CICC 2001)*, Seiten 377–380, San Diego, Kalifornien, USA, Mai 2001.
- E. Gondro, O. Kowarik, A. Schmidt, R. Kraus und K. Hoffmann. *Influence of the Inner Miller-Effect on the Input Capacitance of CMOS Transistors* Eingereicht zur Publikation.

**Danke!!!**