

Auswirkungen von LDD-Strukturen auf die
elektrischen Eigenschaften von MOS-Transistoren

Elmar Gondro
Technische Universität München
Physik-Department

November 1997

Inhaltsverzeichnis

1	Einleitung	1
2	Der MOS-Transistor mit Lightly Doped Drain	4
2.1	Aufbau und Wirkungsweise	4
2.2	Dotierungsübergänge	8
2.2.1	Der pn -Übergang	8
2.2.2	Der n^-n^+ -Übergang	13
2.2.3	Der pn^-n^+ -Übergang	14
2.2.4	Diffundierter Übergang	15
2.3	Elektrische Feldstärke	17
2.4	Stoßionisation	20
2.5	Substratstrom	21
3	Modellierung des MOS-Transistors	23
3.1	Widerstandsbereich	27
3.2	Sättigungsbereich	29
4	Neues Widerstandsmodell	33
4.1	Effektive Kanallänge	34
4.1.1	Bestimmung der effektiven Kanallänge	37
4.2	Messungen	39
4.3	Widerstandsverhalten von Source und Drain	40
4.3.1	Extraktionsmethoden	41
4.3.1.1	Widerstandsextraktion durch Iterationsverfahren	41
4.3.1.2	Widerstandsextraktion durch Parameteranpassung	41

4.3.2	Modell des Source-Widerstands	43
4.3.3	Der Akkumulationswiderstand	44
4.3.3.1	Poisson-Gleichung	46
4.3.3.2	Charge sheet-Näherung	51
4.3.4	Der Spreading-Widerstand	53
4.3.4.1	Extraktion des Streuwinkels	55
4.3.5	Parallelschaltung von Akkumulations- und Spreading-Widerstand	57
4.3.6	Raumladungszone	60
4.3.7	Zusammenfassung des Überlappwiderstandes	61
4.3.8	Kontakt- und Schichtwiderstand	62
4.3.8.1	Mittlere Dotierung	64
4.3.8.2	Bildladungsmethode	66
4.3.9	Vergleich mit bestehenden Modellen	70
5	Zusammenfassung	73
	Liste der verwendeten Formelzeichen	75
	Abbildungsverzeichnis	79
	Literaturverzeichnis	82

Kapitel 1

Einleitung

Um Produktionskosten und Entwicklungsdauer integrierter Schaltungen im wachsenden Wettbewerb möglichst gering zu halten, wird deren Schaltverhalten vor der Fertigung ausführlich simuliert.

Die dazu benötigten Simulationsmodelle müssen die einzelnen Bauelemente hinreichend genau wiedergeben, zugleich aber möglichst einfach sein, um komplette Schaltungen in akzeptabler Zeit simulieren zu können.

Es existieren im wesentlichen drei Ansätze, derartige Modelle zu konzeptionieren:

Empirische Modelle bilden die gemessenen Charakteristika durch beliebige Funktionen nach. Vorteilhaft ist die hohe Geschwindigkeit, wohingegen solche Modelle nur unter den gemessenen Randbedingungen aussagekräftig sind.

In *Tabellenmodellen* werden aus den Meßdaten, wie der Name schon sagt, große Tabellen angelegt und die gesuchten Größen durch Interpolation ermittelt. Dies kann bei großer Dimensionalität der Tabelle jedoch recht aufwendig werden; außerdem ist es auch bei dieser Methode nicht möglich, Vorhersagen für Technologieänderungen zu treffen.

Im Gegensatz zu den bisher genannten Vorgehensweisen basieren *Kompaktmodelle* auf physikalischen Annahmen und versuchen, das komplexe elektrische Verhalten der Bauelemente in möglichst einfachen analytischen Gleichungen zu subsumieren. Dies hat den Vorteil, daß das Schaltverhalten der Bauteile auch für zukünftige Technologien ermittelbar ist und soll Zielrichtung dieser Arbeit sein.

Das zentrale Bauteil der Halbleiterbauelemente ist der *Feldeffekttransistor*. Dessen Schaltverhalten wird durch den Kanalbereich bestimmt, der bereits mannigfach unter-

sucht wurde. Die immer weiter fortschreitende Miniaturisierung im Schaltungs-Design — und somit auch der Bauelementegeometrie — stellen immer neue Anforderungen an die Modelle. So erscheint beispielsweise die auf den Kanalbereich reduzierte Betrachtung des Feldeffekttransistors als unzureichend; diese muß auch auf den „äußeren Transistor“, der sich von der Kontaktierung bis zum Kanalbeginn erstreckt, erweitert werden. Dies ist umso bedeutsamer, da dieser Bereich nicht in gleichem Maße skalierbar ist wie der innere Transistor [10]. Mithin erreicht der externe Widerstand ab einer Kanallänge von etwa $0,3\ \mu\text{m}$ sogar die gleiche Größenordnung wie der Kanalwiderstand (Abb. 1.1).

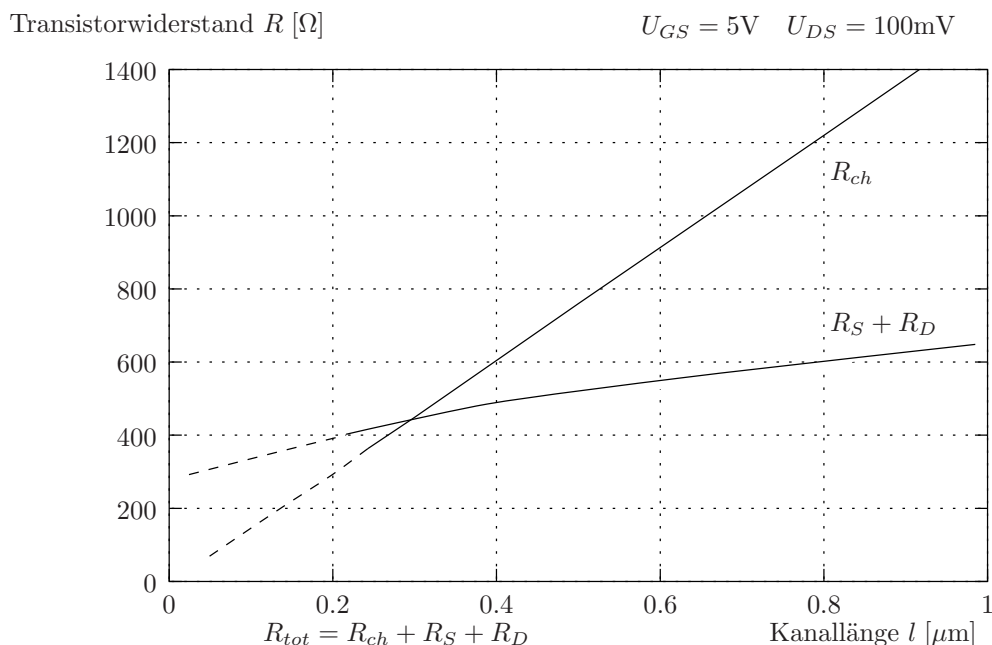


Abbildung 1.1: Vergleich zwischen Kanal- und externem Widerstand für verschiedene Kanallängen

Er bedarf daher einer fundierten Betrachtung. Diese ist besonders bedeutsam für die heutzutage vorrangigen Transistoren mit *Lightly Doped Drain*, da deren externer Widerstand nicht konstant, sondern vor allem im Überlappgebiet spannungsabhängig ist.

Bestehende Kompaktmodelle beschreiben gewöhnlich die Gate-Spannungs-Abhängigkeit der LDD-Gebiete durch eine spannungsabhängige *effektive Kanallänge*. Diese dehnt lediglich die Beschreibung des inneren Transistors auf die äußeren Gebiete aus.

Wünschenswert wäre jedoch eine, auf geometrischen Größen basierende, separate Betrachtung des äußeren und inneren Transistors. Um MOS-Transistoren mit Hilfe der

geometrischen Kanallänge (Abstand der pn -Übergänge) modellieren zu können, ist es notwendig, die Leitfähigkeit der LDD-Gebiete analytisch zu beschreiben.

In dieser Diplomarbeit soll mittels des 2D-Simulators MEDICI (TMA) der Einfluß der LDD-Gebiete auf das elektrische Feld sowie auf Stoßionisation und Substratstrom untersucht werden. Darauf aufbauend wird ein *analytisches Modell des äußeren Transistors* entwickelt, das gänzlich auf unphysikalische Fit-Größen verzichtet und nur auf Geometrie- und Dotierungsdaten basiert.

Kapitel 2

Der MOS-Transistor mit Lightly Doped Drain

2.1 Aufbau und Wirkungsweise

Die Bezeichnung MOSFET ist ein Akronym für *metal-oxide semiconductor field-effect transistor*. Abbildung 2.1 zeigt dessen prinzipielle Struktur.

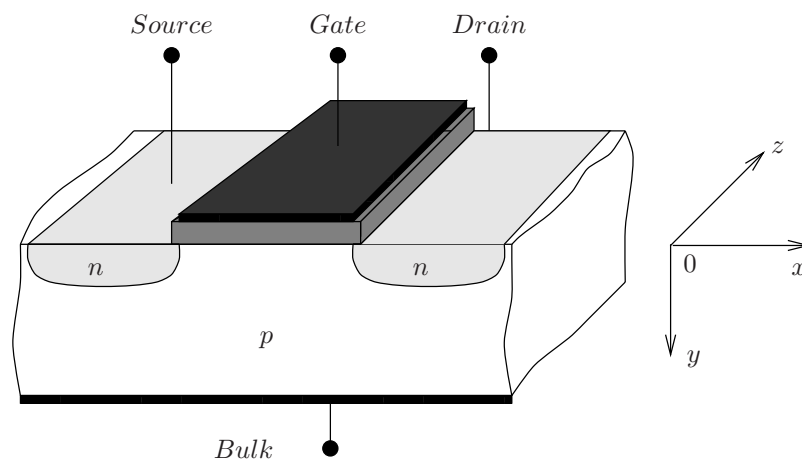


Abbildung 2.1: MOS-Feldeffekt-Transistor

Auf ein *p*-dotiertes Substrat werden zwei hochdotierte *n*-Gebiete implantiert, die man *Source* und *Drain* nennt. Oberhalb des Bereiches zwischen diesen beiden Kontakten

wird, abgegrenzt durch eine dünne isolierende Siliziumdioxidschicht, die Steuerelektrode (*Gate*) aufgebracht. Diese kann aus Metall bestehen, woher die Bezeichnung MOS rührt, wird heutzutage aber aus hochdotiertem Polysilizium oder Polyzid hergestellt. Meist wird auch das Substrat, englisch *Bulk*, kontaktiert, so daß der konventionelle MOSFET eine Vier-Terminal-Struktur darstellt.

Die Potentialdifferenz zwischen Source und Bulk sowie zwischen Drain und Bulk werden stets größer oder gleich Null gewählt, so daß die beiden pn -Übergänge in Sperrichtung gepolt sind. Legt man nun eine positive Spannung zwischen Gate und Bulk, so wird das Potential an der Halbleiteroberfläche über die Sperrspannung der pn -Übergänge angehoben und Elektronen von den n -Gebieten in das p -Substrat injiziert. Die influenzierte Schicht aus Elektronen bildet einen elektrisch leitenden Kanal zwischen Source und Drain. Legt man zwischen diesen beiden Kontakten eine Spannung an, so kann entlang der Halbleiteroberfläche ein Strom fließen, der durch Absenken des Gate-Potentials wieder ausgeschaltet werden kann. Im Gegensatz zu einem Bipolar-Transistor, bei dem die Sperrpolung der pn -Übergänge durch Injektion von Ladungen aus der Steuerelektrode aufgehoben wird, beruht die Schalt- und Verstärkungswirkung des MOSFETs auf der stromlosen Influenz des elektrischen Feldes zwischen Gate und Bulk; daher der Name FET. Der obig beschriebene Transistortyp wird auch n -Kanal- oder kurz NMOS-Transistor genannt. Damit unterscheidet man ihn von einem PMOS-Transistor, bei dem p -dotierte Source und Drain in ein n -Substrat eingebettet sind und folglich der Kanal aus Löchern gebildet wird. Da dessen Modellgleichungen aber vereinfacht durch einen Vorzeichenwechsel in der Ladung und durch Berücksichtigung der geringeren Beweglichkeit der Löcher aus den Gleichungen für den NMOS hergeleitet werden können, soll er im folgenden unberücksichtigt bleiben. Oftmals wird der PMOS-Transistor als Verarmungs- oder *Depletion*-Transistor eingesetzt.

Abweichend von der konventionellen Form weist ein LDD(S)-MOSFET eine leicht modifizierte Struktur auf. LDD(S) steht für *Lightly Doped Drain (Source)*.

Hierbei herrscht im Ausdiffusionsgebiet unter dem Gate (*overlap*) eine niedrigere Dotierung vor als direkt unter der Source und der Drain. Um eine solche Struktur zu erhalten, sind zusätzliche Technologieschritte vonnöten, deren Prinzip aus Abbildung 2.2 ersichtlich ist.

Das über dem Oxid aufbrachte Gate wirkt bei der geringen Donatoren-Implantation als selbstjustierende Maske. Hierdurch wird eine hohe Symmetrie der drain- und source-seitigen Überlappgebiete erreicht. Nach Aufoxidation von sogenannten *Spacern* bildet

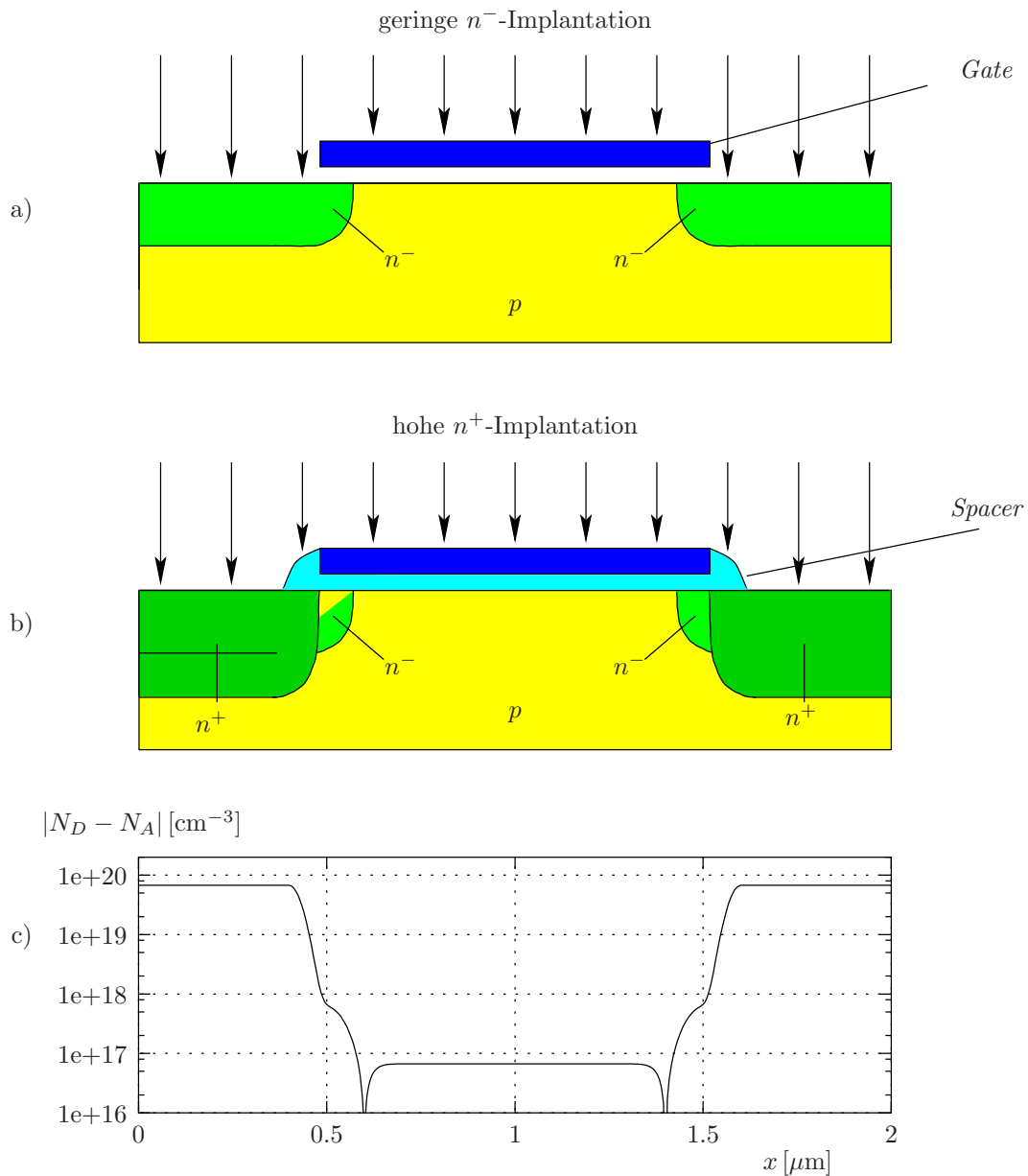


Abbildung 2.2: Herstellung eines MOSFETs mit *Lightly Doped Drain*

- a) an der Gatekante selbstjustierende n^- -Implantation
- b) n^+ -Implantation nach vorheriger Spacer-Oxidation
- c) Typisches Dotierungsprofil an der Halbleiteroberfläche

man in einem zweiten Implantierungsschritt die nach außen versetzten hochdotierten Gebiete. Ergänzend sei noch erwähnt, daß die Ausdehnung der n^- -Gebiete mitunter auch in vertikaler Richtung die der hochdotierten Gebiete übertrifft, damit mögliche Substratdurchbrüche vermieden werden.

Worin liegt nun aber der Sinn dieses zusätzlichen Technologieschrittes?

Dieser erscheint zunächst recht ungewöhnlich, wird doch durch die niedrige Leitfähigkeit der n -Gebiete der Widerstand des Transistors erhöht, was eine verminderte Stromergiebigkeit zur Folge hat (Abbildung 2.3). Außerdem bedeuten mehr Prozeßschritte natürlich höhere Produktionskosten.

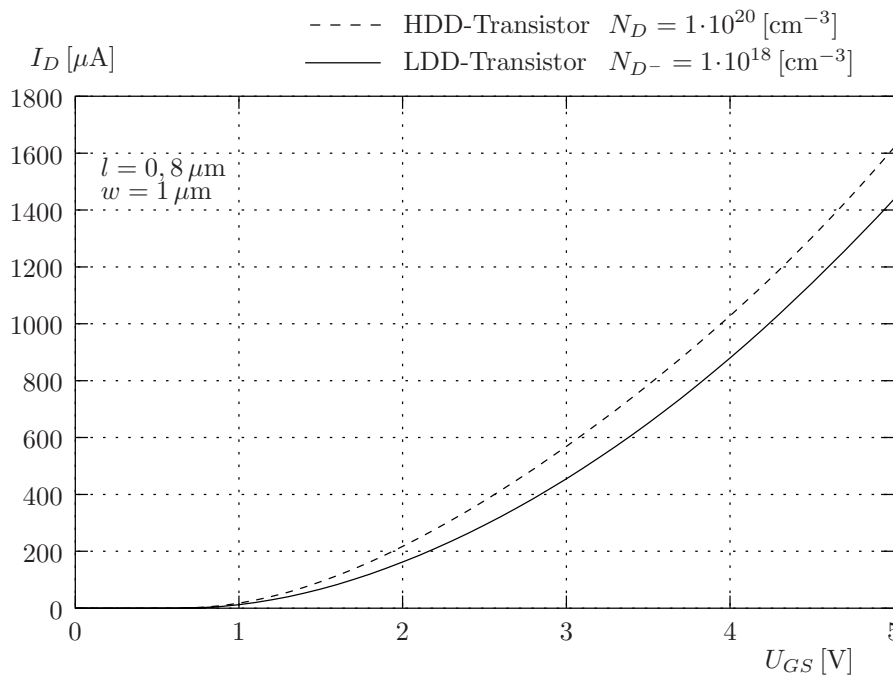


Abbildung 2.3: Simulierte Eingangskennlinien eines konventionellen HDD-Transistors und eines LDD-Transistors

Auf der anderen Seite ist es möglich, die hochdotierten Gebiete tiefer ins Substrat hinein zu implantieren. Dies verringert sowohl den Schicht-, als auch den Kontaktwiderstand an Source und Drain. Des weiteren erleichtert eine tiefe Dotierung die Herstellung der Kontakte zu den sich anschließenden Aluminium-Leiterbahnen [25].

Der gewichtigste Grund für die Verwendung von LDD-Transistoren liegt jedoch in der zunehmenden Miniaturisierung der Halbleiterbauelemente. Da die Versorgungsspannung nicht beliebig reduziert werden kann, sind technologische Änderungen notwendig, um bei kleineren Geometrien hohe elektrische Felder zu vermeiden. Diese haben das Auftreten von „heißen Ladungsträgern“ zur Folge, die die Lebensdauer von Bauelementen drastisch verkürzen können [26].

Niedrig dotierte Strukturen bieten hier die Möglichkeit, die „innere“ Versorgungsspannung anzupassen. Sie wirken dann wie ein externer Serienwiderstand.

Zum anderen lassen sich damit hohe elektrische Feldstärken reduzieren. Dieses soll in den folgenden Kapiteln anhand der metallurgischen Übergänge verdeutlicht werden.

2.2 Dotierungsübergänge

Betrachtet man die Drain-Struktur in der Nähe der Halbleiteroberfläche, so läßt diese sich für einen konventionellen Transistor auf einen pn -Übergang reduzieren. Ein LDD-Transistor hingegen wird durch einen pn^-n^+ -Übergang charakterisiert.

2.2.1 Der pn -Übergang

Zunächst soll nun der einfache pn -Übergang untersucht werden. Zur Vereinfachung seien homogene Dotierungen und damit abrupte Übergänge angenommen. An der Schnittstelle der p - und n -dotierten Gebiete stehen sich unterschiedliche Konzentrationen von Elektronen (n) und Löchern (p) gegenüber. Infolgedessen diffundieren Löcher in das n -Gebiet sowie Elektronen in das p -Gebiet. Die nicht mehr voll kompensierten Akzeptor- und Donatorionen (N_A^- und N_D^+) verursachen ein elektrisches Feld. Dieses hat Driftströme der Löcher und Elektronen zur Folge, welche im thermodynamischen Gleichgewicht die Diffusionsströme gerade kompensieren ($\vec{j}_{diff} = -\vec{j}_{drift}$). Ohne anliegende äußere Spannungen verschwindet daher der Nettostrom. Die einzelnen Stromdichten kann man folgendermaßen ausdrücken:

$$\vec{j}_{diff} = qD_n\vec{\nabla}n - qD_p\vec{\nabla}p \quad (2.1)$$

$$\vec{j}_{drift} = -q\vec{E}\mu_n n + q\vec{E}\mu_p p \quad (2.2)$$

Mit den Einstein-Beziehungen lassen sich die Diffusionskonstanten $D_{p,n}$ durch die entsprechenden Beweglichkeiten $\mu_{p,n}$ beschreiben.

$$D_p = \frac{kT}{q}\mu_p \quad D_n = \frac{kT}{q}\mu_n \quad (2.3)$$

- k : Boltzmann-Konstante
- q : Elementarladung
- T : Temperatur in Kelvin

Der Nettostrom verschwindet auch bei getrennter Betrachtung von Elektronen- respektive Löcherströmen.

$$\begin{aligned}\vec{j}_p &= \underbrace{qp\mu_p\vec{E}}_{\text{Drift}} - \underbrace{qD_p\vec{\nabla}p}_{\text{Diffusion}} = 0 \\ \vec{j}_n &= \underbrace{qn\mu_n\vec{E}}_{\text{Drift}} + \underbrace{qD_n\vec{\nabla}n}_{\text{Diffusion}} = 0\end{aligned}\tag{2.4}$$

Aus $\vec{j}_n=0$ folgt

$$\vec{E} = -\frac{D_n}{\mu_n n} \vec{\nabla}n\tag{2.5}$$

und damit die über den pn -Übergang abfallende Diffusionsspannung ϕ_i .

$$\phi_i = -\int_{x_p}^{x_n} E dx \stackrel{(2.3)}{=} \frac{kT}{q} \int_{n(x_p)}^{n(x_n)} \frac{dn}{n} = \frac{kT}{q} \ln \frac{n(x_n)}{n(x_p)} = \phi_t \ln \frac{n(x_n)}{n(x_p)}\tag{2.6}$$

Entsprechend resultiert $\phi_i = \phi_t \ln \frac{p(x_n)}{p(x_p)}$ aus $\vec{j}_p=0$. Mit ϕ_t bezeichnet man die *Thermospannung*. Sie liegt unter Normalbedingungen bei 26 mV.

Zur weiteren Auswertung obiger Gleichung benötigt man die Ladungsträgerdichten eines Halbleiters im thermodynamischen Gleichgewicht. Man erhält sie durch Multiplikation der Zustandsdichten mit der Fermi-Besetzungswahrscheinlichkeit und anschließender Integration über das Leitungsband.

$$n = N_c e^{-\frac{E_c - E_F}{kT}}\tag{2.7}$$

$$p = N_v e^{-\frac{E_F - E_v}{kT}}\tag{2.8}$$

Darin bedeuten N_c und N_v die effektiven Zustandsdichten im Leitungsband (Energieniveau E_c) und Valenzband (Energieniveau E_v). E_F bezeichnet das Fermi-Niveau und liegt im undotierten (intrinsischen) Halbleiter etwa in der Mitte zwischen E_c und E_v . Multiplikation beider Gleichungen führt zum *Massenwirkungsgesetz*:

$$np = N_c N_v e^{-\frac{E_c - E_v}{kT}} = N_c N_v e^{-\frac{E_g}{kT}} = n_i^2\tag{2.9}$$

Hierin steht n_i für die *Intrinsic-Dichte*, die Konzentration der Elektronen und Löcher in einem undotierten Halbleiter. Die Differenz von Leitungsbandkante E_c und Valenzbandkante E_v ist der Bandabstand E_g . Beide Größen sind material- und temperaturabhängig und betragen bei Raumtemperatur (300 K) in Silizium $1,45 \cdot 10^{10} \text{ cm}^{-3}$ und 1,12 eV. Aus den Gleichungen (2.7) und (2.8) kann man ablesen, daß das Fermi-Niveau

in einem undotierten Halbleiter ($n_0 = p_0$, $E_F = E_i$) in etwa mittig im unbesetzten Bereich zwischen Leitungs- und Valenzbandkante liegt.

$$E_i = E_{F_{intrinsic}} = \frac{E_c - E_v}{2} + \frac{kT}{2} \ln \frac{N_v}{N_c} \quad (2.10)$$

Mit (2.9) lassen sich die Ladungsträgerkonzentrationen dann auch folgendermaßen ausdrücken:

$$n = n_i e^{-\frac{E_F - E_i}{kT}} = n_i e^{\frac{q\psi}{kT}} \quad (2.11)$$

$$p = n_i e^{-\frac{E_i - E_F}{kT}} = n_i e^{-\frac{q\psi}{kT}} \quad (2.12)$$

Diese Gleichungen besagen, daß eine Variation des Fermi-Niveaus von seinem intrinsischen Wert eine exponentielle Variation der Ladungsträgerdichten mit sich führt.

Oberhalb einer Temperatur von etwa 100 K sind die Dotieratome fast vollständig ionisiert [6].

$$N_A^- \approx N_A \quad N_D^+ \approx N_D \quad (2.13)$$

Die Ladungsneutralität in einem Halbleiter läßt sich dann folgendermaßen ausdrücken:

$$-qn + qN_D + qp - qN_A = 0 \quad (2.14)$$

Für einen n -Typ Halbleiter ($N_D \gg N_A$) vereinfachen sich die vorhergehenden Gleichungen mit (2.9) zu

$$n \approx N_D \quad p \approx \frac{n_i^2}{N_D} \quad (2.15)$$

und für einen p -Typ Halbleiter ($N_A \gg N_D$) zu:

$$p \approx N_A \quad n \approx \frac{n_i^2}{N_A} \quad (2.16)$$

Jetzt kann man Gleichung (2.6) weiter auswerten und für den Spannungsabfall über den pn -Übergang schreiben:

$$\phi_i = \phi_t \ln \frac{N_D}{n_i^2/N_A} = \phi_t \ln \frac{N_D N_A}{n_i^2} \quad (2.17)$$

Da das n^- -Gebiet in der Regel um zwei bis drei Größenordnungen niedriger dotiert ist als das n^+ -Gebiet (siehe Abbildung 2.5), ersieht man des weiteren, daß der Potentialabfall an der metallurgischen Grenze des pn^- -Übergangs etwa 20-fach niedriger

ausfällt als bei einem reinen pn^+ -Übergang. Für $N_A = 10^{17} \text{ cm}^{-3}$, $N_{D^-} = 5 \cdot 10^{17} \text{ cm}^{-3}$ und $N_{D^+} = 10^{20} \text{ cm}^{-3}$ erhält man $\phi_i \approx 1000 \text{ mV}$ für den pn^+ -Übergang sowie $\phi_i \approx 860 \text{ mV}$ für den pn^- -Übergang.

Die Poisson-Gleichung beschreibt das durch eine Ladungsverteilung ρ hervorgerufene Feld; sie entspricht der ersten Maxwell-Gleichung:

$$\varepsilon_0 \varepsilon_{si} \vec{\nabla}^2 \psi = -\rho \quad (2.18)$$

Für die Raumladungszone kann in guter Näherung angenommen werden, daß eine vollständige Verarmung an beweglichen Ladungsträgern vorliegt (*Depletion-Näherung*). Die Poisson-Gleichung läßt sich dann für das p -Gebiet zu

$$\vec{\nabla}^2 \psi = -\frac{qN_A}{\varepsilon_0 \varepsilon_{si}} \quad (2.19)$$

und für das n -Gebiet zu

$$\vec{\nabla}^2 \psi = +\frac{qN_D}{\varepsilon_0 \varepsilon_{si}} \quad (2.20)$$

vereinfachen. Da das elektrische Feld E dem negativen Gradienten des Potentials ψ entspricht, folgt durch Integration über den Ort ein linearer Feldverlauf.

$$E(x) = \begin{cases} -\frac{qN_A}{\varepsilon_0 \varepsilon_{si}} (x+x_p) & : \quad -x_p \leq x \leq 0 \\ E(x=0) + \frac{qN_D}{\varepsilon_0 \varepsilon_{si}} x = -\frac{qN_A}{\varepsilon_0 \varepsilon_{si}} x_p + \frac{qN_D}{\varepsilon_0 \varepsilon_{si}} x & : \quad 0 < x \leq x_n \\ 0 & : \quad \text{sonst} \end{cases} \quad (2.21)$$

Dabei erstreckt sich die Raumladungszone von $-x_p$ im p -Gebiet bis x_n im n -Gebiet und hat eine Weite von:

$$\omega = x_n + x_p \quad (2.22)$$

Für die metallurgische Grenze wird $x = 0$ gesetzt. Dies ist der Ort der größten Feldstärke.

Aufgrund der Ladungsneutralität der Raumladungszone gilt

$$N_A \cdot x_p = N_D \cdot x_n \quad (2.23)$$

und somit:

$$E(x=0) = \frac{qN_A}{\varepsilon_0 \varepsilon_{si}} \cdot x_p = \frac{qN_D}{\varepsilon_0 \varepsilon_{si}} \cdot x_n \quad (2.24)$$

Letzteres besagt, daß die Weite der Raumladungszone maßgeblich durch die geringer dotierte Seite des pn -Übergangs bestimmt wird.

Legt man ferner eine äußere Spannung U an den Übergang, die von der n - zur p -Region und somit in Sperrichtung gepolt ist, so muß gelten:

$$U + \phi_i = - \int_{x \rightarrow -\infty}^{x \rightarrow \infty} E dx \quad (2.25)$$

Die Fläche unter der Feldstärke entspricht ergo der an der Raumladungszone wirksamen Spannung. Vernachlässigt man den Spannungsabfall außerhalb der Raumladungszone, so folgt mit (2.21) und (2.22):

$$U + \phi_i = - \frac{1}{2} E(x=0) \cdot \omega \quad (2.26)$$

$$\omega = -2 \frac{U + \phi_i}{E(x=0)} \quad (2.27)$$

Eine weitere Bestimmungsgleichung für die Raumladungszonenweite ergibt sich aus (2.22) bis (2.23).

$$\omega = -2 \frac{\varepsilon_0 \varepsilon_{si}}{q} E(x=0) \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \quad (2.28)$$

Multipliziert man die letzten beiden Gleichungen und zieht die Wurzel, so erhält man ω als Funktion der Spannung und der Dotierungen.

$$\begin{aligned} \omega &= \sqrt{2 \frac{\varepsilon_0 \varepsilon_{si}}{q} (U + \phi_i) \left(\frac{1}{N_A} + \frac{1}{N_D} \right)} \\ &\stackrel{(2.17)}{=} \sqrt{2 \frac{\varepsilon_0 \varepsilon_{si}}{q} \left(U + \phi_t \ln \frac{N_A N_D}{n_i^2} \right) \left(\frac{1}{N_A} + \frac{1}{N_D} \right)} \end{aligned} \quad (2.29)$$

Für die maximale Feldstärke folgt

$$\begin{aligned} E_{max} &= E(x=0) \\ &= -2 (U + \phi_i) \cdot \frac{1}{\sqrt{2 \frac{\varepsilon_0 \varepsilon_{si}}{q} (U + \phi_i) \left(\frac{1}{N_A} + \frac{1}{N_D} \right)}} \\ &= -\sqrt{\frac{2q}{\varepsilon_0 \varepsilon_{si}} \left(U + \phi_t \ln \frac{N_A N_D}{n_i^2} \right) \left(\frac{N_A \cdot N_D}{N_A + N_D} \right)} \end{aligned} \quad (2.30)$$

Abbildung 2.4 zeigt den analytischen Verlauf von E_{max} für eine Spannung von $U = 1\text{ V}$ und eine Akzeptorkonzentration $N_A = 10^{17}\text{ cm}^{-3}$. Diese entspricht im NMOS der Substratdotierung und die Donatorkonzentration N_D der Source/Drain-Dotierung.

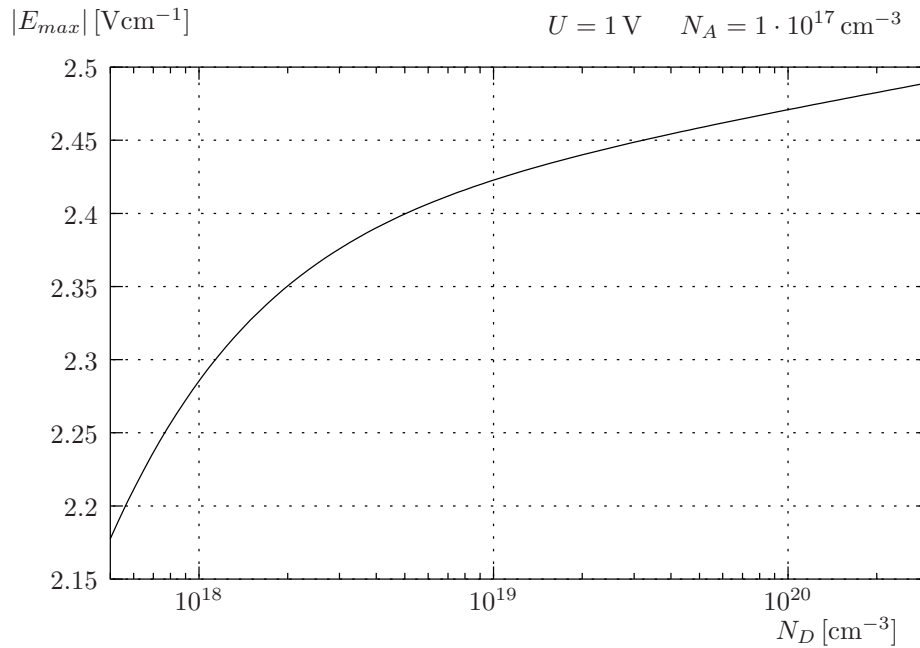


Abbildung 2.4: Analytische Abhängigkeit der maximalen Feldstärke am pn -Übergang in Abhängigkeit von der Donatorkonzentration

Will man also die maximale Feldstärke unter einem kritischen Wert halten, so muß die n -Dotierung entsprechend gering gehalten werden. Dies genau ist der Sinn einer LDD-Struktur!

2.2.2 Der n^-n^+ -Übergang

Der Vollständigkeit halber sei nun der n^-n^+ -Übergang betrachtet.

Auch dort herrscht ein Konzentrationsgefälle, welches eine Elektronenwanderung vom n^+ - in das n^- -Gebiet und somit eine (kleine) Raumladungszone verursacht. Analog zum pn -Übergang läßt sich die Diffusionsspannung des Übergangs aus der Integration der Transportgleichung (2.4) berechnen. Man kann Gleichung (2.6) direkt anwenden

und findet einen etwas anderen Term als (2.17):

$$\phi_i = \frac{kT}{q} \int_{n^-}^{n^+} \frac{dn}{n} \approx \phi_t \ln \frac{N_{D^+}}{N_{D^-}} \quad (2.31)$$

Mit den im letzten Abschnitt verwendeten Dotierungswerten ergibt sich eine Diffusionsspannung $U_D \approx 140$ mV, die deutlich geringer als die des pn^- -Übergangs ausfällt. Entsprechend der Herleitung für den pn^- -Übergang ergibt sich für die maximale Feldstärke am n^-n^+ -Übergang:

$$E_{max} = -\sqrt{\frac{2q}{\varepsilon_0 \varepsilon_{si}} \left(U + \phi_t \ln \frac{N_{D^+}}{N_{D^-}} \right) \left(\frac{N_{D^-} \cdot N_{D^+}}{N_{D^-} + N_{D^+}} \right)} \quad (2.32)$$

Sie bleibt selbst bei großen Spannungen ($U \leq 5$ V) unter 900 Vcm^{-1} , was weit unter der für den Durchbruch kritischen Feldstärke ($E_{crit} \approx 10^6 \text{ Vcm}^{-1}$ [23]) liegt.

2.2.3 Der pn^-n^+ -Übergang

Fügt man nun die pn^- - und die n^-n^+ -Strukturen zusammen, so erhält man das Pendant zu einer LDD-Struktur. Die gesamte Diffusionsspannung läßt sich durch Summation der Spannungen am pn^- -Übergang (Gleichung 2.17) und am n^-n^+ -Übergang (Gleichung 2.31) berechnen. Beide Komponenten tragen gleiches Vorzeichen.

$$\begin{aligned} \phi_i &= \phi_{i_{pn^-}} + \phi_{i_{n^-n^+}} \\ &= \phi_t \ln \frac{N_A N_{D^-}}{n_i^2} + \phi_t \ln \frac{N_{D^+}}{N_{D^-}} \\ &= \phi_t \ln \frac{N_A N_{D^+}}{n_i^2} \end{aligned} \quad (2.33)$$

Die über die LDD-Struktur abfallende Diffusionsspannung ist also unabhängig von der N_{D^-} -Dotierung und entspricht somit dem Spannungsabfall bei einem konventionellen Transistor!

Zusammenfassend läßt sich sagen, daß die Feldminderung beim LDD-Transistor auf zwei Effekten beruht: zum einen wird ein Teil des Spannungsfalls auf den n^-n^+ -Übergang verlagert, zum anderen fällt die Spannung wegen der größeren pn^- -Raumladungszone über einen ausgedehnteren Bereich ab. Voraussetzung für die Richtigkeit obiger Herleitung ist, daß die beiden Raumladungszonen keinen

wechselseitigen Einfluß ausüben, das n^- -Gebiet also hinreichend groß ist.

Verjüngt man hingegen den schwach n -dotierten Bereich, so kommt es zu einer Überlagerung der Raumladungszonen. Man verläßt dann den Gültigkeitsbereich der *Depletion*-Näherung, da die injizierten Elektronen die positiven Donatorrümpfe im n^- -Bereich teilweise kompensieren. Linearisiert man den Ladungsverlauf im Überlappgebiet und beachtet, daß das Integral über die Feldstärke auch dann gleich der Summe aus Diffusions- und außen anliegender Spannung sein muß, so erhält man nachstehend skizzierte Verläufe.

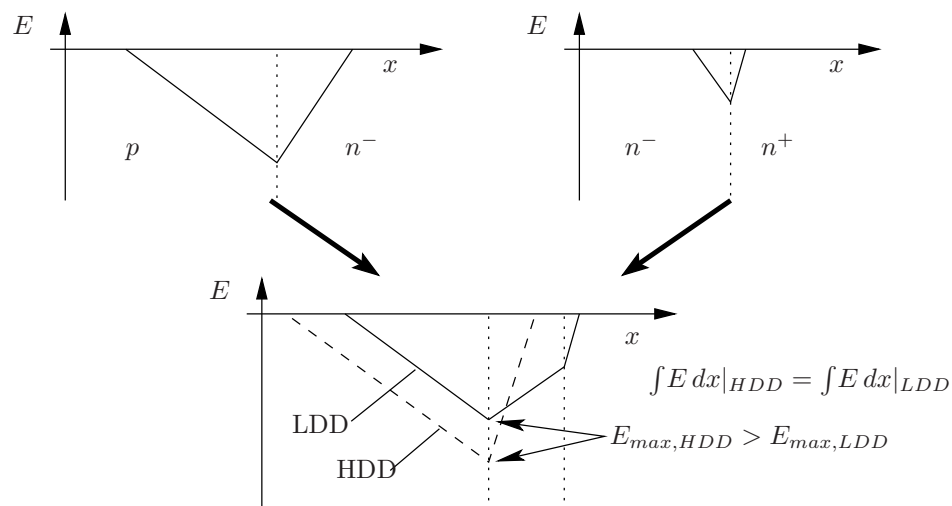


Abbildung 2.5: Verlauf der Feldstärke am pn^-n^+ -Übergang im Vergleich zum pn -Übergang bei *Depletion*-Näherung (vgl. Abb. 2.7)

2.2.4 Diffundierter Übergang

Die bisherigen Überlegungen galten für abrupte Übergänge der Dotierungen. In der Praxis führt die Diffusion der Dotieratome bei der Herstellung zu graduellen Profilen. Deren Ausbildung hängt stark von der Temperatur und der Zeitdauer des Diffusionsprozesses ab.

Sieht man von Transistoren mit *pocket implantation* ab, so kann man für einen n -Kanäler ein konstant dotiertes Substrat annehmen. Die Verteilung der Donatoratome im Randbereich von Source und Drain läßt sich mit der Diffusionsgleichung beschreiben [24].

Ist die Quelle der Dotieratome unbegrenzt, ergibt sich als Lösung die komplementäre Errorfunktion.

$$N_D(x) = N_{D_0} \operatorname{erfc}\left(\frac{x}{\lambda}\right) \quad (2.34)$$

Erfolgt die Diffusion hingegen aus einer begrenzten Dotandenquelle, so erhält man ein gaußförmiges Dotierungsprofil.

$$N_D(x) = N_{D_0} \exp\left(-\frac{x^2}{\lambda^2}\right) \quad (2.35)$$

Die charakteristische Diffusionslänge λ nimmt mit der Temperatur und der Dauer der Ausheizung zu. Im folgenden sei letztere Profilvariante angenommen, da in den Device-Simulationen mit MEDICI die Dotierungsprofile gaußförmig implementiert wurden.

Die in den vorangegangenen Kapiteln durchgeführte Berechnung der Feldstärke und Ladungsträgerverteilung ist für diffundierte Übergänge nur bedingt anwendbar, da in Bereichen starker Dotierungsänderung die Zunahme an Elektronen nicht mit der Abnahme an Löchern korreliert und mithin die *Depletion*-Näherung sehr ungenau wird. Der Gradient der Donatorkonzentration hat ein „eingebautes“ elektrisches Feld zur Folge, welches sich entsprechend der Gleichung (2.5) beschreiben läßt:

$$\vec{E} = -\frac{D_n}{\mu_n N} \vec{\nabla} N \stackrel{(2.3)}{=} \phi_t \frac{1}{N} \vec{\nabla} N \quad (2.36)$$

Es verursacht eine Verschiebung des Feldstärkemaximums von der metallurgischen Grenze in das Diffusionsgebiet. Diese fällt umso stärker aus, je „weicher“ das Profil gebildet wird.

Die räumliche Potential- und Feldverteilung wird durch die Poisson-Gleichung (2.18) bestimmt. Für das diffundierte n -Gebiet ergibt sich:

$$-\varepsilon_0 \varepsilon_{si} \vec{\nabla}^2 \psi = q [-n(x) + p(x) + N_D(x) - N_A] \quad (2.37)$$

$$\text{mit } n(x) \stackrel{(2.11)}{=} n_i e^{+\frac{q}{kT} \psi(x)} \quad (2.38)$$

$$p(x) \stackrel{(2.12)}{=} n_i e^{-\frac{q}{kT} \psi(x)} \quad (2.39)$$

$$N_D(x) \stackrel{(2.35)}{=} N_{D_0} e^{-\frac{x^2}{\lambda^2}} \quad (2.40)$$

Dieses Gleichungssystem ist allerdings nicht geschlossen lösbar.

Oft bedient man sich daher geschlossen integrierbarer Ersatzfunktionen, um das Gauß-Profil nachzubilden. Als Beispiele seien die Exponential- und die Sigmoid-Funktion

genannt [5]:

$$N_D(x) = N_0 e^{-\frac{x^2}{\lambda^2}} \approx N_{D_0} A e^{-B\frac{x}{\lambda}} \tag{2.41}$$

$$\approx N_{D_0} \frac{C}{1 + D e^{E\frac{x}{\lambda}}} \tag{2.42}$$

Nachteilig sind hierbei die Parameter A bis E , die je nach zu untersuchendem Bereich angepaßt werden müssen.

Ein anderer, in dieser Arbeit verfolgter Weg, liegt in der numerischen Lösung mittels eines Device-Simulators. Hierfür stand das Programm MEDICI zur Verfügung, welches die Poisson-Gleichung (2.18) sowie die Kontinuitäts- und Transportgleichungen (2.4) zweidimensional löst.

2.3 Elektrische Feldstärke

Abbildung 2.6 zeigt einen Kontur-Plot, der an der LDD-Drain auftretenden Feldstärke. Der Vergleich mit einem konventionellen Transistor ohne LDD zeigt bei gleicher Spannungsbelegung höhere Feldstärken. Der Strom löst sich im Unterdiffusionsgebiet des LDD-Transistors weiter von der Oberfläche ab; diese ist stärker verarmt.

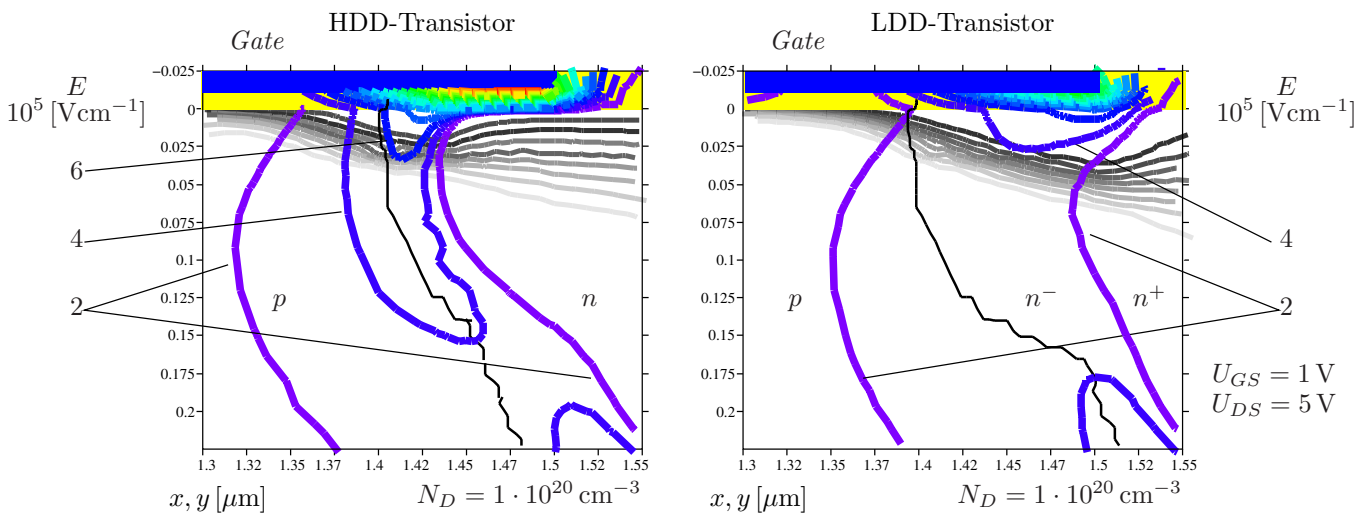


Abbildung 2.6: Elektrische Feldstärke und Stromverlauf im Drain-Gebiet

Macht man einen lateralen Schnitt an der Grenze zwischen Halbleiter und Oxid und

trägt entlang dieses Schnittes die x -Komponente der Feldstärke auf, so erhält man die Verläufe aus Abbildung 2.7.

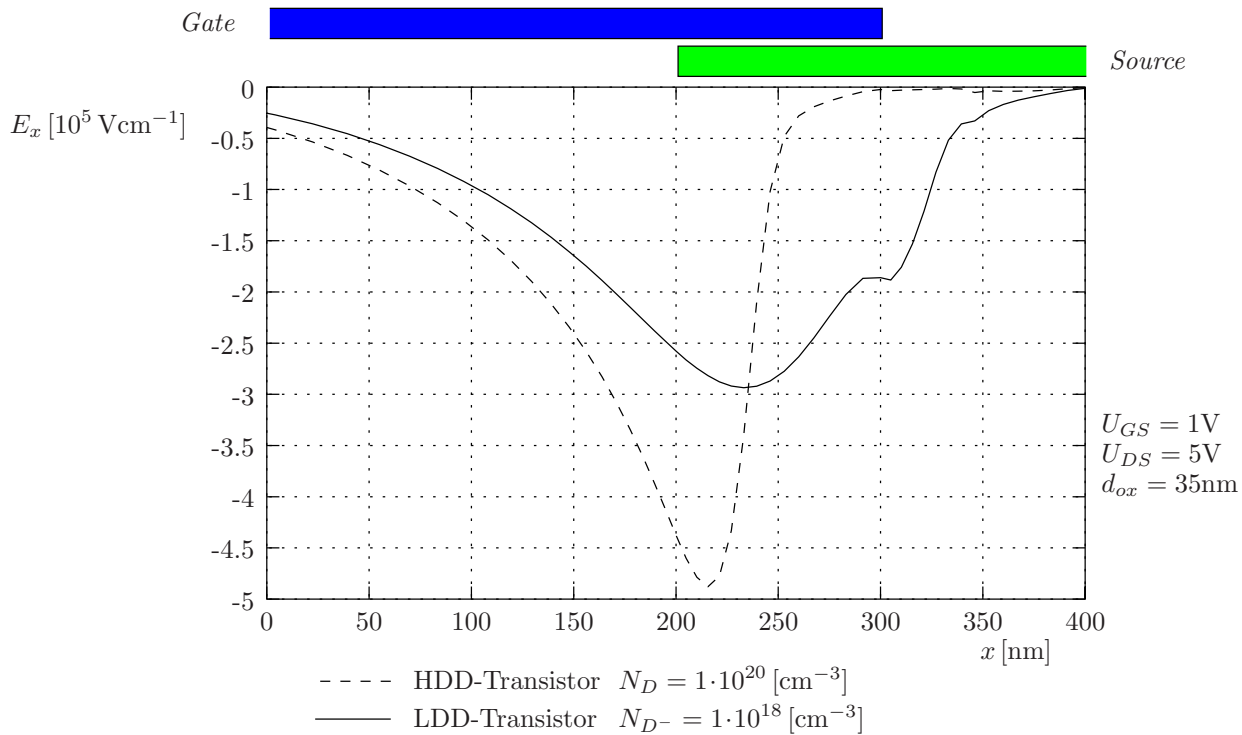


Abbildung 2.7: Laterale Komponente der Feldstärke an der Si-SiO₂-Halbleiteroberfläche

Es zeigt sich, analog zu den Überlegungen am pn^-n^+ -Übergang, ein kleinerer Feldstärke-Peak, der in das Überlappgebiet der Drain verschoben ist. Die Feldstärke fällt moderater ab.

Diese beiden Kurvenverläufe werden in zahlreichen Publikationen zur Begründung der LDD-Struktur herangezogen [19, 23, 16].

Simulationen ergaben jedoch, daß diese Kurvenverläufe nur für große Oxiddicken einer Verifikation standhalten. Verjüngt man hingegen das Oxid auf heutzutage übliche Dicken von etwa 9 nm, so zeigt sich ein erstaunliches Ergebnis: Die maximale laterale Feldstärke in der Halbleiteroberfläche übertrifft beim LDD-Transistor die des konventionellen Transistors.

Wie ist dies zu erklären?

Bisher wurde davon ausgegangen, daß das elektrische Feld lediglich auf der Diffusionsspannung der Übergänge sowie der Drain-Source-Spannung beruht. Senkrecht überla-

gert wird dieses Feld durch das Feld der Gate-Substrat-Spannung. Für die Transistormodellierung nimmt man üblicherweise an, daß dieses Feld rein vertikal ausgerichtet ist (*Gradual channel*-Näherung), was aber in den Randbereichen nicht zutrifft. Dort erlangt das Feld entsprechend der Gate-Source- bzw. der Gate-Drain-Spannung horizontale Komponenten. Diese sind wegen der nach außen verlagerten hochdotierten Gebiete beim LDD-Transistor ausgeprägter als bei einem konventionellen Transistor. Dieser Effekt der Feldüberlagerung wird für dünne Oxide immer dominanter, was eine ausgefeilte Dotierungsverteilung notwendig macht. Abbildung 2.8 zeigt die maximale vertikale Feldstärke in Abhängigkeit von der Oxiddicke.

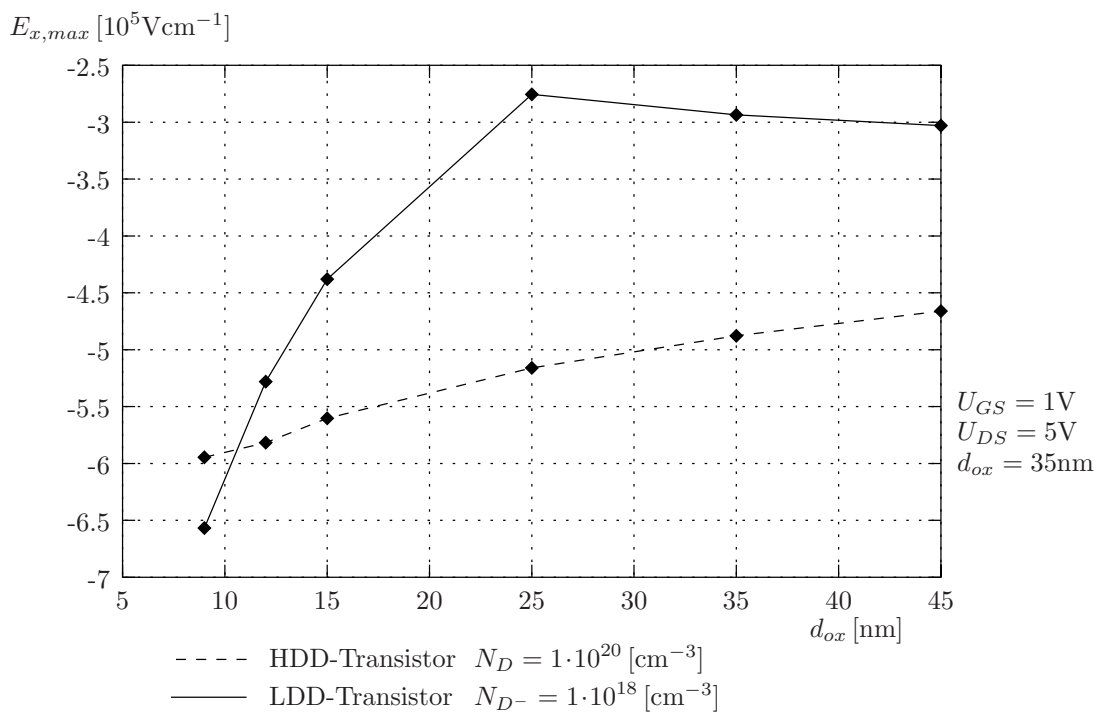


Abbildung 2.8: Maximale laterale Feldstärkekomponente an der Halbleiteroberfläche in Abhängigkeit von der Oxiddicke

Folglich reicht eine eindimensionale Betrachtung an der Halbleiteroberfläche nicht aus, um LDD-Strukturen zu rechtfertigen. Adäquat sind hierfür zweidimensionale Feldverteilungen wie in Abbildung 2.6.

2.4 Stoßionisation

Einleitend wurde behauptet, die geringeren Feldstärken eines LDD-Transistors würden dessen Lebensdauer verlängern. Dies bedarf einer näheren Erläuterung.

Ist die lokale Feldstärke in einem Bauelement groß genug, so erlangt ein Ladungsträger innerhalb seiner mittleren freien Beschleunigungsstrecke eine kinetische Energie, die ausreicht, um beim Auftreffen auf ein Silizium- oder Dotieratom ein Elektron aus dem Gitter herauszuschlagen. Das herausgeschlagene Elektron hinterläßt ein Loch als Fehlstelle, so daß letztlich ein Ladungsträgerpaar entsteht. Man nennt diesen Vorgang *Stoßionisation*. Das so entstandene Elektron-Loch Paar kann wiederum neue Ladungsträger freisetzen, wenn bis zum Stoß ausreichend kinetische Energie gewonnen wird. Bei einer bestimmten kritischen Feldstärke setzt eine lawinenartige Ladungsträgermultiplikation ein. Man spricht daher vom Lawineneffekt (*avalanche effect*).

Durch das elektrische Feld werden die generierten Ladungsträger getrennt. Löcher wandern in das Substrat und können als Bulk-Strom nachgewiesen werden, während Elektronen in Bereiche höheren Potentials beschleunigt werden. Erlangen die Ladungsträger dabei hohe Energie, werden sie als „heiße Ladungsträger“ (*hot carriers*) bezeichnet. Diese können beim Auftreffen auf das Oxid Gitterverbindungen aufbrechen und so Grenzflächenzustände generieren, welche, je nach Betriebszustand des Transistors, positiv oder negativ besetzt werden. Hochenergetische Ladungsträger können auch *im* Oxid Zustände generieren und besetzen.

Diese Effekte nennt man *Alterung* oder *Degradation*. Sie haben eine Verschiebung der Einsatzspannung zur Folge und können zur Zerstörung des Transistors führen.

Die Generationsrate durch Stoßionisation ist proportional zur Geschwindigkeit der Ladungsträger und deren Dichte. Sie wird durch das *Chynoweth-Gesetz* beschrieben [3]:

$$G = \alpha_n |\vec{v}_n| n + \alpha_p |\vec{v}_p| p = \alpha_n \frac{|\vec{j}_n|}{q} + \alpha_p \frac{|\vec{j}_p|}{q} \quad (2.43)$$

α_n und α_p sind die Ionisierungsraten für Elektronen und Löcher; sie sind stark vom elektrischen Feld abhängig und gehorchen näherungsweise empirischen Funktionen.

$$\alpha_{n,p} = A_{n,p} e^{-\frac{B_{n,p}}{|\vec{E}|}} \quad (2.44)$$

$A_{n,p}, B_{n,p}$: Konstanten

Hohe laterale Felder werden bei großen Drain-Source-Spannungen erreicht. Der Transistor ist dann „in Sättigung“, d. h. der Drain-Strom bleibt bei Variation der Spannung

annähernd konstant. Wie in Kapitel 3 näher erläutert wird, löst sich im drain-seitigen Kanalbereich der Strom von der Halbleiteroberfläche. Folglich findet man die größten Stoßionisationsraten ebenfalls in vertikaler Richtung versetzt vor. Abbildung 2.9 zeigt deren typische Verläufe.

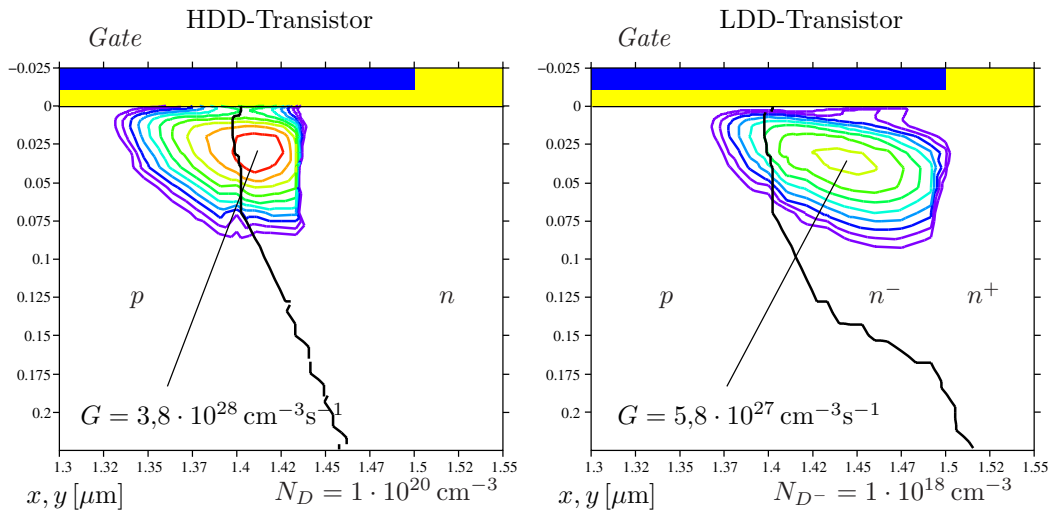


Abbildung 2.9: Stoßionisation im Drain-Gebiet für einen Transistor in Sättigung ($U_{GS} = 1 \text{ V}$, $U_{DS} = 5 \text{ V}$), drei Konturlinien entsprechen einer Dekade in der Generationsrate

Der Vergleich zeigt eine um den Faktor 10 reduzierte Generationsrate beim Transistor mit LDD.

Des weiteren zeigt sich auch hier, daß die im vorigen Abschnitt monierte, auf die Halbleiteroberfläche reduzierte Betrachtung des LDD-Gebietes unzureichend ist. Schließlich kann die verminderte Alterung infolge geringerer Stoßionisation beim LDD-Transistor nur durch gleichzeitige Betrachtung von Strom- und Feldverlauf erklärt werden.

2.5 Substratstrom

Wie bereits erwähnt, korreliert die Stoßionisation mit dem Substratstrom und kann daher durch Messung quantifiziert werden. Abbildung 2.10 zeigt den simulierten Bulk-Strom in Abhängigkeit von der Gate-Source-Spannung.

Ist der Transistor ausgeschaltet, beruht der Substratstrom lediglich auf thermischer

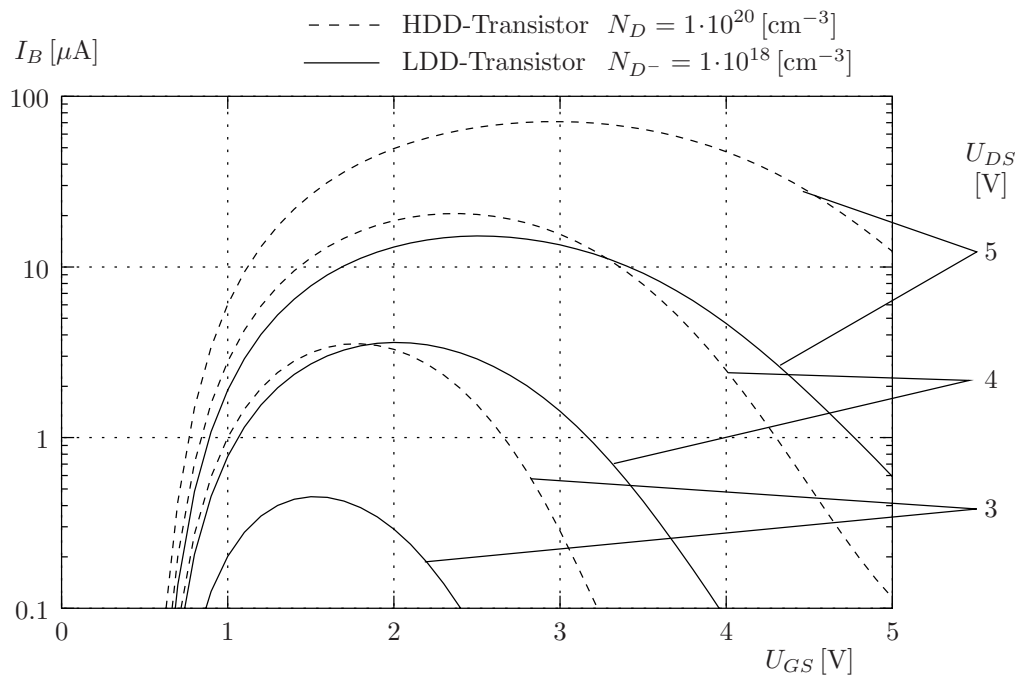


Abbildung 2.10: Durch Stoßionisation im Drain-Gebiet verursachter Substratstrom

Generation und ist vernachlässigbar. Mit steigender Gate-Bulk-Spannung löst der anschwellende Drain-Strom vermehrt Stoßionisation aus; der Substratstrom steigt um mehrere Dekaden. Ab einer Gate-Bulk-Spannung, die typischerweise etwa der halben Drain-Source-Spannung entspricht, sinkt der Strom wieder. Dies ist auf die verminderte Potentialdifferenz zwischen Gate und Drain zurückzuführen.

Kapitel 3

Modellierung des MOS-Transistors

In diesem Kapitel werden für die spätere Verwendung die Grundgleichungen eines n -Kanal MOSFETs hergeleitet.

Näherungsweise nimmt man hierfür an, daß das zwischen Gate und Kanal herrschende Feld wesentlich größer ist als das Feld zwischen Source und Drain. Dadurch wird ein eindimensionaler Ansatz ermöglicht. In der Realität treten deutliche Abweichungen von dieser Näherung an den Rändern des Gates und in der Umgebung der pn -Übergänge auf. Dies hat zur Folge, daß dieser Grundansatz vornehmlich sogenannten *Langkanaltransistoren* genüge leistet.

Ist die Gate-Bulk-Spannung vernachlässigbar gering ($U_{GB} \approx 0$), der Transistor also ausgeschaltet, so wird der Drain-Strom durch die exponentiell verlaufende Diodenkennlinie der gesperrten pn -Übergänge beschrieben. Es ist kein nennenswerter Stromfluß möglich.

Mit zunehmender Gate-Bulk-Spannung steigt das Oberflächenpotential ϕ_s , wodurch die Löcher im Substrat von der Halbleiteroberfläche verdrängt werden. Die zurückbleibenden Akzeptorrümpfe N_A^- bilden eine Raumladungszone, deren Ausdehnung entsprechend der Gleichung (2.29) beschrieben werden kann.

$$y_{depl} = \sqrt{2 \frac{\epsilon_0 \epsilon_{si}}{q} \frac{1}{N_A} \phi_s} \quad (3.1)$$

Das Potential an der Halbleiteroberfläche $\phi_s = \phi(y=0)$ entspricht dabei der über der Raumladungszone abfallenden Spannung, wenn man als Bezugspunkt das Potential im neutralen Substratgebiet wählt. Berücksichtigt man ferner die an den Kontakten

abfallende Flachbandspannung U_{fb} , so läßt sich der Spannungsabfall über das Oxid mit der Terminalsprungspannung U_{GB} verknüpfen.

$$\phi_{ox} = U_{GB} - U_{fb} - \phi_s \quad (3.2)$$

Bei weiterer Erhöhung der Gate-Bulk-Spannung erreicht das Oberflächenpotential einen Wert, bei dem mindestens einer der pn -Übergänge in Durchlaßrichtung geht. Für symmetrische Dotierungsprofile und $U_{DS} > 0$ ist dies der source-seitige Übergang. Elektronen werden in das Substrat injiziert und bilden infolge der elektrostatischen Anziehung des Gates an der Halbleiteroberfläche eine dünne Schicht aus. Sie lösen dort also Löcher in ihrer Rolle als Majoritätsladungsträger ab. Daher nennt man diesen Zustand *Inversion* und bezeichnet die Elektronenschicht als *Inversionsladung*.

Diese ist jedoch derart dünn (≈ 5 nm), daß man den Spannungsabfall darüber vernachlässigen kann (Abbildung 3.1).

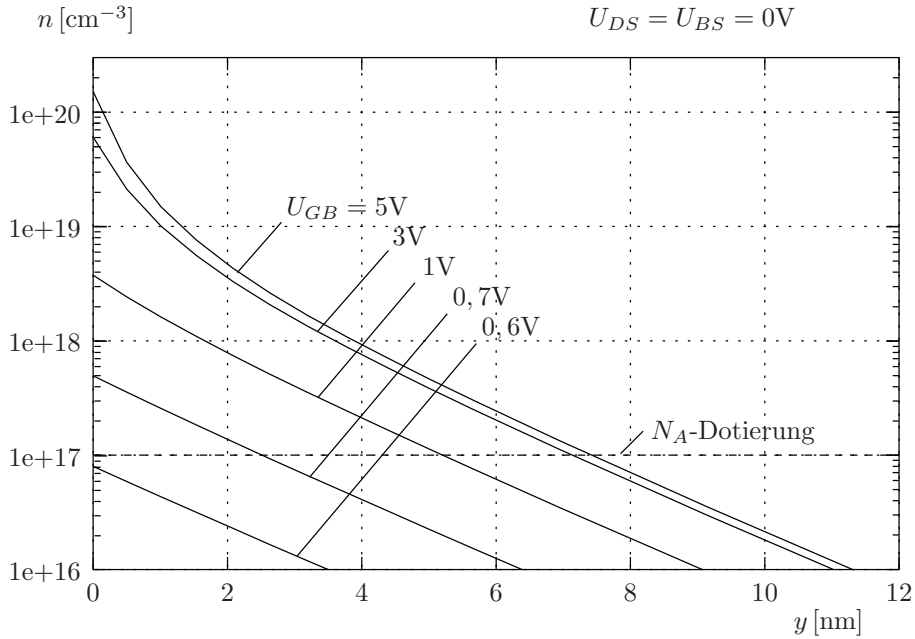


Abbildung 3.1: Die lokale Verteilung der Inversionsschichtladung in der Mitte des Kanals für verschiedene Gate-Substrat-Spannungen

Diese häufig in der Bauelementemodellierung angewandte Vereinfachung wird *Charge sheet*-Näherung genannt. Sie bewirkt, daß die gesamte Potentialdifferenz ϕ_s über der Verarmungszone abfällt. Die Gateladung pro Fläche Q'_G läßt sich wie bei einem Plattenkondensator berechnen.

$$Q'_G = C'_{ox} \phi_{ox} = C'_{ox} (U_{GB} - U_{fb} - \phi_s) \quad (3.3)$$

$C'_{ox} = \frac{\varepsilon_0 \varepsilon_{si}}{d_{ox}}$ ist die Kapazität des Oxids pro Fläche und d_{ox} die Dicke der Oxidschicht. Der Gateladung muß eine großengleiche Ladung entgegengesetzten Vorzeichens im Halbleiter gegenüberstehen. Diese besteht aus zwei Komponenten — der Ladung der Inversionsschicht sowie der der Raumladungszone.

$$Q'_G = -(Q'_I + Q'_B) \quad (3.4)$$

Zusätzliche Ladungen auf dem Gate werden überwiegend durch zusätzliche Ladungen in der Inversionsschicht kompensiert; die Flächenladung Q'_B der Raumladungszone bleibt nahezu unverändert und wird durch Multiplikation der Ionenladungsdichte mit der Tiefe der Raumladungszone (3.1) bestimmt (*Depletion-Näherung*).

$$Q'_B = -qN_A \cdot \sqrt{2 \frac{\varepsilon_0 \varepsilon_{si}}{q} \frac{1}{N_A} \cdot \phi_s} = -\sqrt{2 \varepsilon_0 \varepsilon_{si} q N_A \cdot \phi_s} \quad (3.5)$$

Somit läßt sich die für die Charakteristik eines Transistors bedeutsame Inversionsschichtladung bestimmen (3.4 und 3.5).

$$Q'_I = -Q'_G - Q'_B = -C'_{ox} (U_{GB} - U_{fb} - \phi_s) + \sqrt{2 \varepsilon_0 \varepsilon_{si} q N_A \cdot \phi_s} \quad (3.6)$$

Das Oberflächenpotential zu Beginn der Inversion läßt sich aus der Bedingung ableiten, daß die Elektronenkonzentration an der Halbleiteroberfläche (2.11)

$$n(y=0) = n_i e^{-\frac{E_F - E_i(y=0)}{kT}} \quad (3.7)$$

gerade die der Löcher im Substrat (2.11)

$$p(y \rightarrow \infty) = n_i e^{-\frac{E_i(y \rightarrow \infty) - E_F}{kT}} \quad (3.8)$$

erreicht:

$$\phi_{s,inv} = \phi_{inv}(y=0) = \frac{1}{q} (E_i(y=0) - E_i(y \rightarrow \infty)) = \frac{1}{q} \cdot 2 E_F = 2 \phi_F \quad (3.9)$$

ϕ_F wird Fermispannung genannt. Nimmt man hingegen die Löcherkonzentration an der Oberfläche als Vergleichswert, so erhält man als Potential $\phi_{s,inv} = \phi_F$. Die Elektronenkonzentration erreicht dann gerade die Intrinsic-Dichte.

Da für ein Oberflächenpotential zwischen ϕ_F und $2 \phi_F$ der Kanal nur gering ausgeprägt ist, bezeichnet man diesen Bereich als *schwache Inversion*; oberhalb von $2 \phi_F$ spricht man von *starker Inversion*.

Den Betriebsmodus, bei dem im Kanal schwache Inversion vorliegt, nennt man *Unterschwellstrombereich*. Da in diesem Arbeitsbereich der Widerstand des Kanals dominiert,

in dieser Arbeit das Hauptaugenmerk aber auf den äußeren Widerständen liegt, soll er nicht weiter untersucht werden.

Wegen des exponentiellen Zusammenhangs der Elektronendichte und dem Bandabstand (2.11) bleibt das Oberflächenpotential jedoch auch für höhere Gate-Bulk-Spannungen nahezu konstant ($\phi_s \approx \phi_{s,inv}$). Abbildung 3.2 stellt diese Zusammenhänge für einen vertikalen Schnitt im Kanal dar.

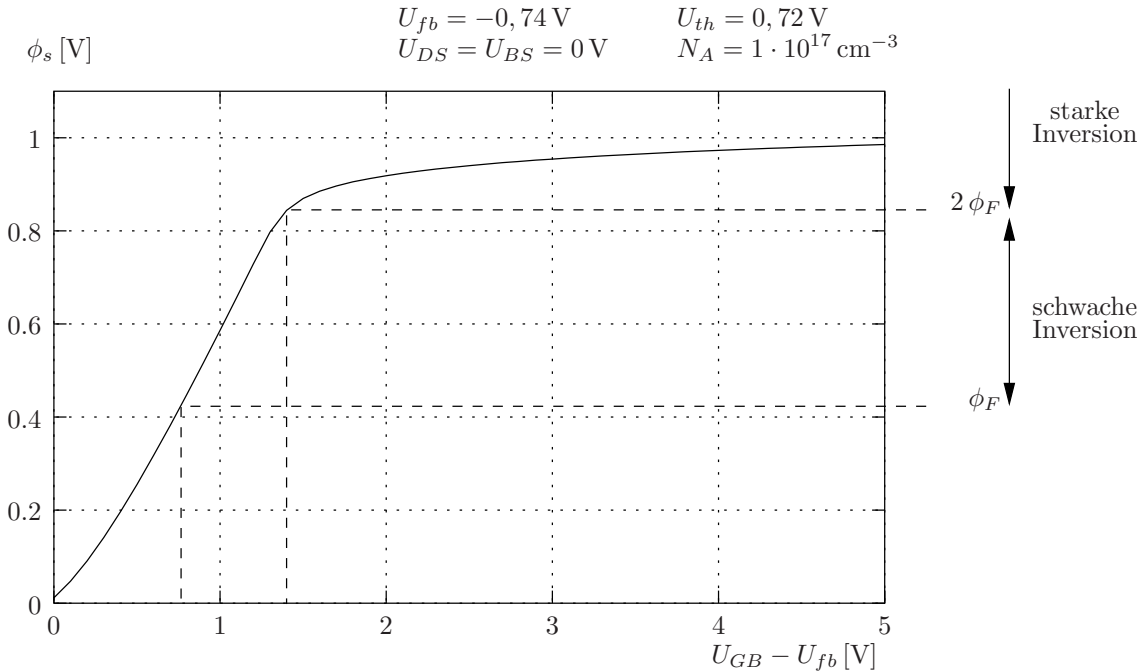


Abbildung 3.2: Das Oberflächenpotential im Kanalbereich in Abhängigkeit von der Gate-Bulk-Spannung

Legt man ferner eine Spannung zwischen Source und Bulk — diese wird stets positiv, also in Spe^rrichtung der pn -Übergänge gewählt —, so erhöht sich das zur (starken) Inversion benötigte Potential entsprechend

$$\phi_s = 2\phi_F + U_{SB} \quad (3.10)$$

Gleichung (3.6) läßt sich somit folgendermaßen schreiben:

$$\begin{aligned}
 Q'_I &= -C'_{ox} (U_{GB} - U_{fb} - (2\phi_F + U_{SB})) + \sqrt{2\varepsilon_0\varepsilon_{si}qN_A \cdot (2\phi_F + U_{SB})} \\
 &= -C'_{ox} (U_{GB} - U_{fb} - (2\phi_F + U_{SB})) - \gamma \cdot \sqrt{2\phi_F + U_{SB}} \\
 &= -C'_{ox} (U_{GS} - U_{th}) && \text{für } U_{GS} \geq U_{th} \\
 &\approx 0 && \text{für } U_{GS} \ll U_{th}
 \end{aligned} \quad (3.11)$$

Die Spannung U_{th} nennt man Einsatzspannung (*threshold voltage*) des MOS-Transistors. Sie ist definiert als die aus dem Bereich starker Inversion extrapolierte Gate-Source-Spannung, für die die Inversionsschichtladung gleich Null ist.

$$\begin{aligned} U_{th} = U_{GS}(Q'_I = 0) &= U_{fb} + 2\phi_F + \frac{\sqrt{2\varepsilon_0\varepsilon_{si}qN_A \cdot (2\phi_F + U_{SB})}}{C'_{ox}} \\ &= U_{fb} + 2\phi_F + \gamma \cdot \sqrt{2\phi_F + U_{SB}} \end{aligned} \quad (3.12)$$

Hierbei wurde eine Substitution vorgenommen:

$$\gamma = \frac{1}{C'_{ox}} \sqrt{2\varepsilon_0\varepsilon_{si}qN_A} \quad (3.13)$$

Diesen Faktor γ bezeichnet man als *Substratsteuerfaktor*, da er den Einfluß des Substratpotentials auf die Einsatzspannung beschreibt. Dieser Einfluß beruht auf der unterschiedlichen Aufteilung der Ladungen in der Inversionsschicht und in der Raumladungszone. Wird zum Beispiel die Spannung zwischen Source und Bulk erhöht, so nimmt die Weite und damit die Ladung der Verarmungszone zu, und aus der Ladungserhaltung folgt eine reduzierte Inversionsladung. Demzufolge steigt die Einsatzspannung und führt zu einem geringeren Stromfluß zwischen Drain und Source.

Letzteres ist ersichtlich aus der nun folgenden Herleitung des Drain-Stroms.

3.1 Widerstandsbereich

Die Inversionsschicht bildet zwischen Source und Drain einen leitenden Kanal und ermöglicht so einen Stromfluß. Voraussetzung hierfür sind allerdings unterschiedliche Potentiale an Source und Drain, wodurch auch das Oberflächenpotential ortsabhängig wird (3.10):

$$\phi_s(x) = 2\phi_F + U_{SB} + \Delta\phi(x) \quad (3.14)$$

$\Delta\phi(x)$ ist die Potentialänderung längs des Kanals; an der Source-Seite habe sie den Wert Null. Diese Variation hat jedoch auf die Tiefe der Verarmungszone kaum Einfluß. Man kann daher in guter Näherung die Wurzel aus Gleichung (3.11) linearisieren:

$$\begin{aligned} Q'_I(x) &= -C'_{ox} \left[U_{GB} - U_{fb} - (2\phi_F + U_{SB} + \Delta\phi(x)) \right. \\ &\quad \left. - \gamma \cdot \sqrt{2\phi_F + U_{SB} + \Delta\phi(x)} \right] \end{aligned}$$

$$\begin{aligned}
&\approx -C'_{ox} \left[U_{GB} - U_{fb} - (2\phi_F + U_{SB} + \Delta\phi(x)) \right. \\
&\quad \left. - \gamma \cdot \left(\sqrt{2\phi_F + U_{SB}} + \frac{1}{2\sqrt{2\phi_F + U_{SB}}} \cdot \Delta\phi(x) \right) \right] \\
&= -C'_{ox} \left[U_{GS} - U_{th} - \Delta\phi(x) - \gamma \cdot \frac{1}{2\sqrt{2\phi_F + U_{SB}}} \cdot \Delta\phi(x) \right] \\
&= -C'_{ox} \left[U_{GS} - U_{th} - (1 + \delta) \cdot \Delta\phi(x) \right] \tag{3.15}
\end{aligned}$$

Der Faktor $\delta = \frac{\gamma}{2\sqrt{2\phi_F + U_{SB}}}$ erfaßt hierbei die Ortsabhängigkeit der Raumladungszone. Oberhalb der Einsatzspannung ist die Diffusionsstrom vernachlässigbar. Der Drain-Strom läßt sich daher mit dem Driftstrom (2.2), verursacht durch die Potentialänderung längs des Kanals, beschreiben.

$$\begin{aligned}
I_D(x) &= -I_{drift} = w \mu_n Q'_I E_x = -w \mu_n Q'_I \frac{d\Delta\phi}{dx} \\
&\stackrel{(3.15)}{=} w \mu_n C'_{ox} [U_{GS} - U_{th} - (1 + \delta) \cdot \Delta\phi(x)] \frac{d\Delta\phi}{dx} \tag{3.16}
\end{aligned}$$

Die Potentialdifferenz zwischen Ende ($x=l$) und Anfang ($x=0$) des Kanals entspricht annähernd der zwischen Drain und Source angelegten Spannung U_{DS} . Durch Trennen der Variablen und Integration über die Kanallänge l läßt sich die vorige Gleichung auswerten:

$$\int_{x=0}^{x=l} I_D dx = \int_{\Delta\phi(x=0)=0}^{\Delta\phi(x=l)=U_{DS}} w \mu_n C'_{ox} [U_{GS} - U_{th} - (1 + \delta) \cdot \Delta\phi(x)] d\Delta\phi \tag{3.17}$$

$$I_D = \frac{w}{l} \mu_n C'_{ox} \left[(U_{GS} - U_{th}) U_{DS} - \frac{1}{2} (1 + \delta) U_{DS}^2 \right] \tag{3.18}$$

Es ergibt sich ein parabelförmiger Verlauf von I_D mit U_{DS} .

Physikalisch sinnvoll ist jedoch nur der Teil, bei dem der Drain-Strom mit der Drain-Source-Spannung wächst. Man bezeichnet diesen Bereich als *Widerstands-* oder *Trio-**denbereich*. Das Strommaximum ergibt sich für

$$U_{DS} = U_{DS_{sat}} = \frac{1}{1 + \delta} \cdot (U_{GS} - U_{th}) \tag{3.19}$$

und hat einen Wert von

$$I_D = I_{D(U_{DS}=(U_{GS}-U_{th})/(1+\delta))} = \frac{w}{2l} \mu_n C'_{ox} (1 + \delta) (U_{GS} - U_{th})^2 \tag{3.20}$$

$U_{DS_{sat}}$ wird *Sättigungsspannung* genannt.

3.2 Sättigungsbereich

Für Drain-Source-Spannungen oberhalb von $U_{DS_{sat}}$ spricht man vom *Sättigungsbereich* des Transistors. Hier verliert der beschriebene eindimensionale Ansatz seine Gültigkeit. Bei der Herleitung der Inversionsladung wurde nämlich nur das vom Gate-Potential herrührende vertikale Feld betrachtet. Bei größeren Drain-Source-Spannungen gewinnt aber auch das laterale Feld Einfluß auf die Kanalladung.

Nach Gleichung (3.15) wird die Inversionsschichtladung bei einem bestimmten Wert des Kanalpotentials $\Delta\phi$ Null und wechselt sogar das Vorzeichen bei weiterem Anstieg von $\Delta\phi$. Dies bedeutet, daß die Ladungsdichte immer geringer wird, je weiter man sich der Drain nähert. Aus der Kontinuität des Stromes folgt daher ein Anstieg des elektrischen Feldes.

Dies ist der Grund dafür, daß eine LDD-Dotierung für $U_{DS} > 0$ eigentlich nur drainseitig vonnöten ist. Anschaulich wird dies auch, wenn man sich vor Augen führt, daß die Elektronen beim Durchlaufen der Drain-Source-Spannung immer schneller werden. Beim Eintritt in die Drain erreichen sie ihre maximale Geschwindigkeit und lösen dort vermehrt Stoßionisation aus. Um die Produktion des Transistors zu vereinfachen, wählt man jedoch den auf Seite 6 illustrierten symmetrischen Aufbau.

Will man den Transistor auch im Sättigungsbereich beschreiben, wären komplizierte zweidimensionale Berechnungen erforderlich, die beide Feldkomponenten berücksichtigen.

Man umgeht dies, indem man die Integration der Gleichung (3.17) nur über den Teil des Kanals ausführt, für den die eindimensionale Näherung noch zulässig ist. In den oberen Integrationsgrenzen ersetzt man also die Kanallänge l durch einen reduzierten Wert $l' < l$. Um einen ausgezeichneten Wert für l' zu erhalten, extrapoliert man in Gleichung (3.15) die Ladungsdichte auf Null; es ergibt sich:

$$\Delta\phi(x = l') = \frac{U_{GS} - U_{th}}{1 + \delta} \quad (3.21)$$

An diesem fiktiven Ort l' im Kanal verschwindet somit die Inversionsschicht, der Kanal wird eingeschnürt; daher seine englische Bezeichnung *pinch-off point*.

Mit diesen Integrationsgrenzen ergibt Gleichung (3.18) für den Drain-Strom:

$$I_D = \frac{w}{2l'} \mu_n C'_{ox} \frac{(U_{GS} - U_{th})^2}{1 + \delta} \quad (3.22)$$

Dies ist ein um den Faktor l/l' größerer Strom als der in Gleichung (3.20) berechnete Maximalstrom des Widerstandsbereichs.

Da der *pinch-off point* mit zunehmender Drain-Source-Spannung von der Drain wegwandert, erhöht sich also auch der Drain-Strom entsprechend. Für Langkanal-Transistoren fällt diese Kanalverkürzung jedoch nicht ins Gewicht ($l' \approx l$), und der Drain-Strom kann als konstant angenommen werden.

Zusammengefaßt lauten die Stromgleichungen des n -Kanal MOSFETs in den verschiedenen Betriebszuständen:

- Unterschwellstrombereich ($U_{GS} \leq U_{th}$)

$$I_D \approx 0 \quad (3.23)$$

- Widerstandsbereich ($U_{GS} > U_{th}$, $0 \leq (1 + \delta) \cdot U_{DS} < U_{GS} - U_{th}$)

$$I_D = \frac{w}{l} \mu_n C'_{ox} \left[(U_{GS} - U_{th}) U_{DS} - \frac{1}{2} (1 + \delta) U_{DS}^2 \right] \quad (3.24)$$

- Sättigungsbereich ($U_{GS} > U_{th}$, $U_{GS} - U_{th} \leq (1 + \delta) \cdot U_{DS}$)

$$I_D = \frac{w}{2l} \mu_n C'_{ox} \frac{1}{1 + \delta} (U_{GS} - U_{th})^2 \quad (3.25)$$

$$\text{mit } \delta = \frac{\gamma}{2\sqrt{2}\phi_F + U_{SB}} \quad (3.26)$$

$$\gamma = \frac{1}{C'_{ox}} \sqrt{2\varepsilon_0\varepsilon_{si} q N_A} \quad (3.27)$$

$$U_{th} = U_{fb} + 2\phi_F + \gamma \cdot \sqrt{2\phi_F + U_{SB}} \quad (3.28)$$

$$\phi_i = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad (3.29)$$

$$C'_{ox} = \frac{\varepsilon_0\varepsilon_{si}}{d_{ox}} \quad (3.30)$$

Abbildung 3.3 zeigt einen Vergleich zwischen diesen Modellgleichungen und MEDICI-Simulationen, sowohl für die *Eingangskennlinien* (I_D über U_{GS}), als auch für die *Ausgang-/Transferkennlinien* (I_D über U_{DS}).

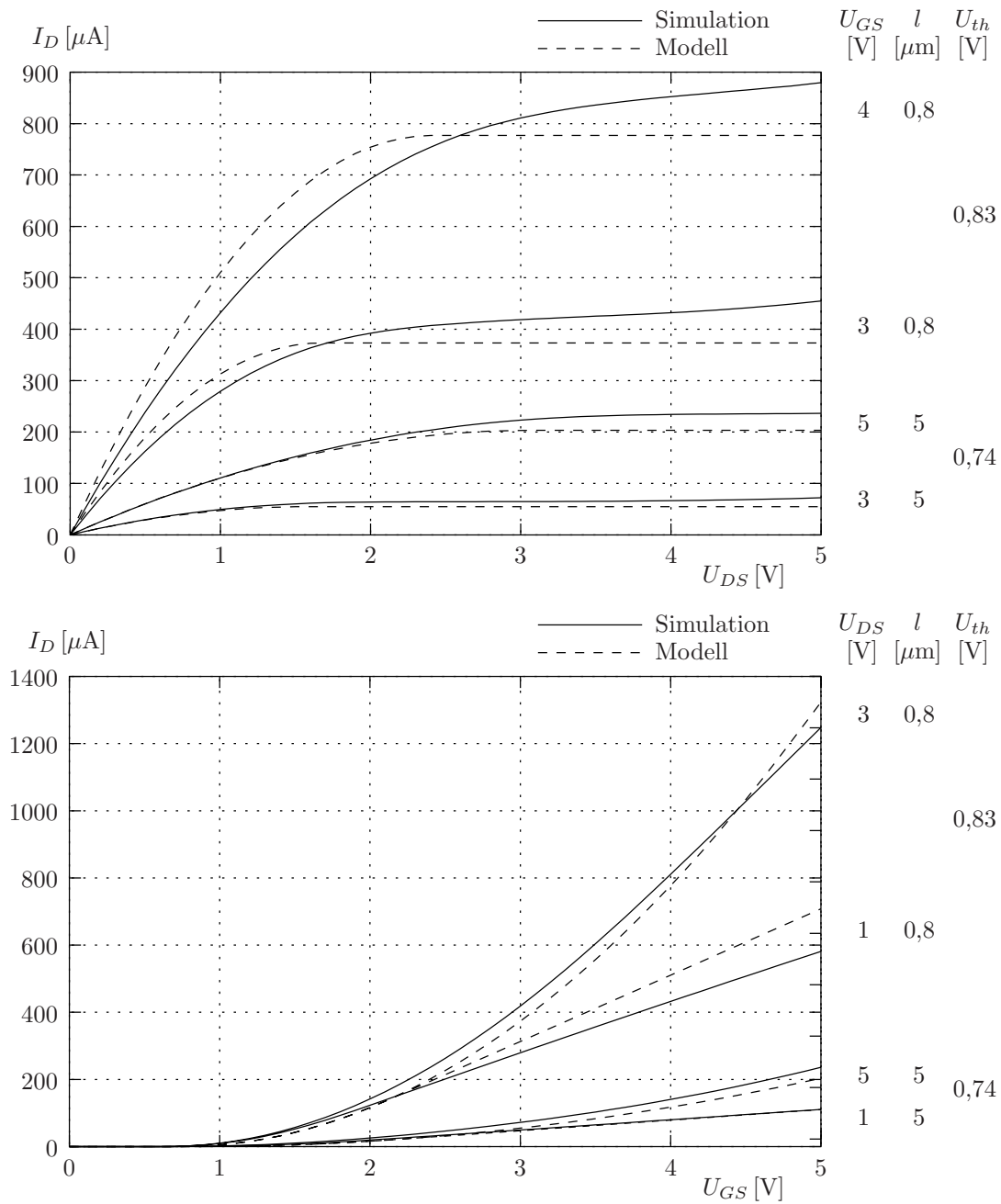


Abbildung 3.3: Vergleich zwischen den Standard-Modellgleichungen und MEDICI-Simulationen für einen langen ($l=5\ \mu\text{m}$) und einen kurzen ($l=0,8\ \mu\text{m}$) Transistor

Die Charakteristik des Langkanälers ($l=5\ \mu\text{m}$) wird durch die obigen einfachen Gleichungen recht gut beschrieben, während beim Kurzkanäler ($l=0,8\ \mu\text{m}$) deutliche Abweichungen erkennbar sind.

Daher sind industrielle und wissenschaftliche Transistormodelle ungleich komplizierter und benötigen eine oft unüberschaubare Anzahl an Paßfaktoren.

Kapitel 4

Neues Widerstandsmodell

Für die Herleitung der Transistorgleichungen im vorigen Kapitel wurde angenommen, daß die von außen angelegte Spannung auch tatsächlich am inneren Transistor anliegt. Dieser erstreckt sich, wie Abbildung 4.1 zeigt, vom source-seitigen zum drain-seitigen pn -Übergang.

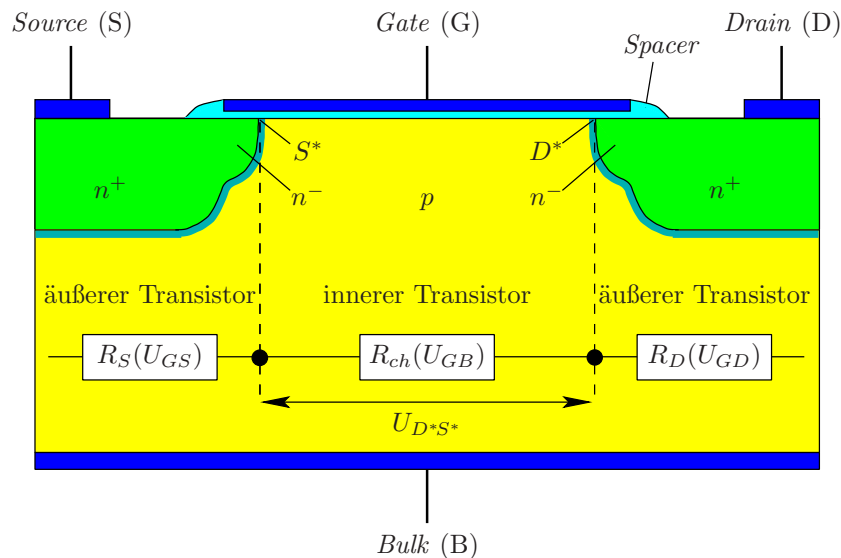


Abbildung 4.1: Aufteilung des LDD-MOS-Transistors in einen inneren und einen externen Transistor

Somit werden Kontaktwiderstände, die Widerstände jenseits der Gate-Kante sowie der Überlappgebiete vernachlässigt. In der Tat sind aber gerade die zuletzt aufgeführten Widerstände, insbesondere bei LDD-Strukturen, nicht vernachlässigbar!

Das Grundmodell der Transistorgleichungen gilt also strenggenommen nur, wenn man, der Bezeichnung in Abbildung 4.1 entsprechend, U_{DS} durch $U_{D^*S^*}$ und U_{SB} durch U_{S^*B} ersetzt. Außerdem sind die oben aufgeführten Widerstände des äußeren Transistors nicht konstant; vor allem der Widerstand im Überlappgebiet ist stark spannungsabhängig. Dies wird in den gängigen industriellen Modellen (BSIM3 v3, Mos C5, ...) jedoch nicht oder nur mangelhaft berücksichtigt.

4.1 Effektive Kanallänge

Statt dessen behilft man sich mit konstanten parasitären Widerständen und verwendet an Stelle der geometrischen eine größere, effektive Kanallänge. Die Motivation hierfür ist nachstehender Abbildung 4.2 zu entnehmen, in der die Elektronenkonzentration sowie das Dotierungsprofil entlang der Halbleiteroberfläche aufgetragen sind. Der Transistor befindet sich im Widerstandsbereich. Man kann hieraus auch entnehmen, daß aufgrund der höheren Geschwindigkeit der Elektronen in Richtung zur Drain deren Konzentration abnimmt.

Eine Anhebung des Gatepotentials führt nicht nur zu einer Inversion des Kanalbereichs, sondern auch zu einer Akkumulation von Elektronen im Überlappgebiet. Dadurch verringert sich der Widerstand der Überlappgebiete, und der Kanal dehnt sich über seine geometrische Länge l hinweg aus. Diese Ausdehnung erfolgt für den Widerstandsbereich sowohl source- als auch drain-seitig.

Man kann die Ladung entlang der Halbleiteroberfläche des Unterdiffusionsgebietes grob in zwei Bereiche aufteilen: im einen dominieren die gate-induzierten Ladungsträger, im anderen werden sie durch die Dotierung bestimmt.

Eine Abschätzung der effektiven Kanallänge l_{eff} läßt sich treffen, indem man die minimale Elektronendichte als Referenz wählt und für diese Konzentration den Abstand zwischen Source- und Drain-Dotierung extrahiert. In anderen Worten: *Der Kanal endet dort, wo die gate-induzierte Ladung die gleiche Dichte hat wie diejenige, die durch die Dotierung erzeugt wird.* Daraus wird ersichtlich, daß die effektive Kanallänge l_{eff} von LDD-Transistoren, speziell im Bereich hoher Gate-Spannungen, stark von der geometrischen abweicht. Für konventionelle HDD-Transistoren (*highly doped drain*) ergibt sich hingegen eine vernachlässigbare Abweichung, da das Dotierungsprofil mit wesentlich steilerer Flanke abfällt.

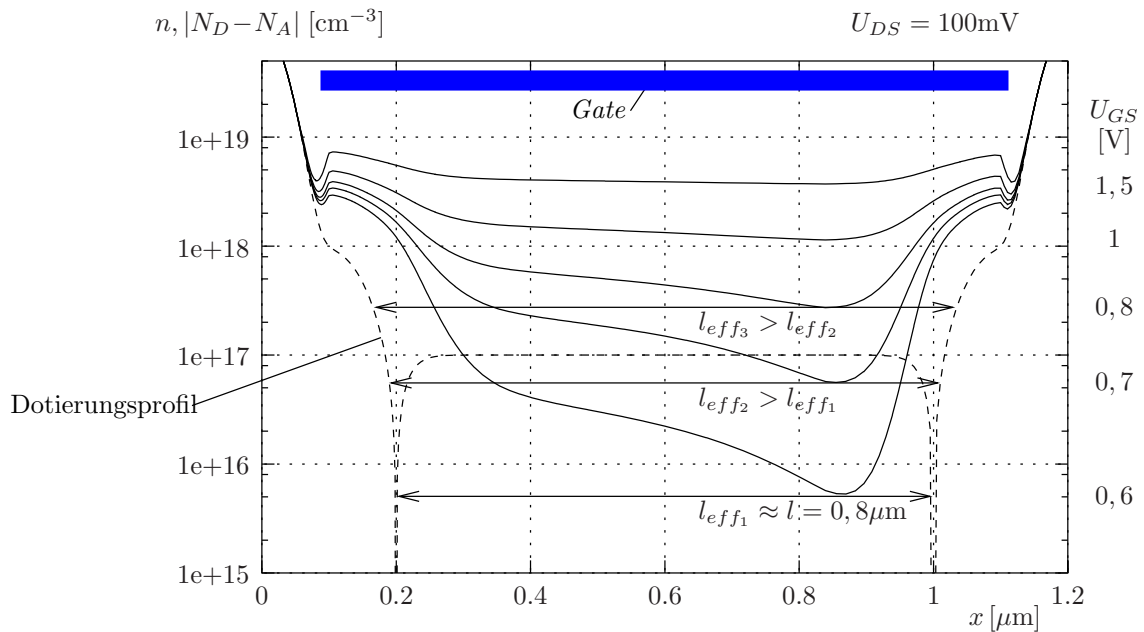


Abbildung 4.2: Laterale Elektronenverteilung und Dotierungsprofil entlang der Halbleiteroberfläche

Pfeile symbolisieren die mit steigender Gate-Spannung anwachsende effektive Kanallänge

Im Sättigungsbereich ($U_{GS} - U_{th} < U_{DS}$) wächst der Kanal nur auf der Source-Seite ins Überlappgebiet, da das rechte Ende des Kanals durch dessen Abschnürung am *pinch-off point* bestimmt ist, an dem sich der Strom von der Oberfläche löst. Abbildung 4.3 zeigt den Verlauf der Strompfade für beide Betriebsmoden.

Wegen der enormen Komplexität im Sättigungsbereich, beschränkt man sich bei der Modellierung vornehmlich auf den symmetrisch beschreibbaren Widerstandsbereich.

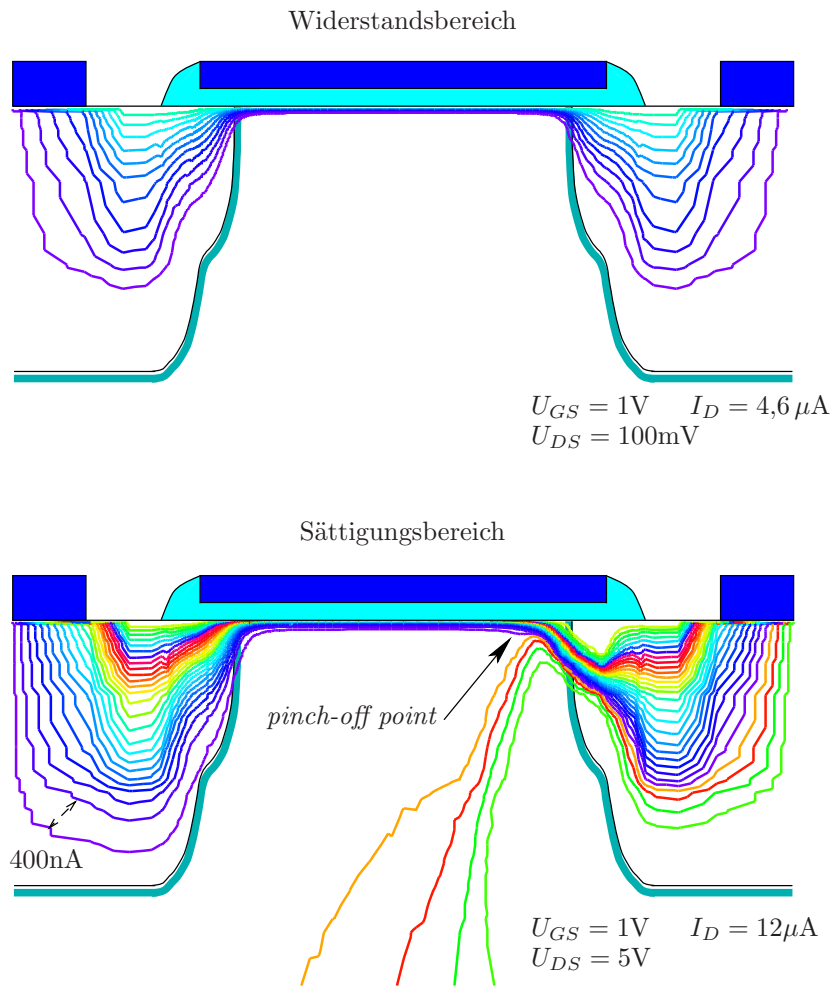


Abbildung 4.3: Symmetrischer Verlauf des Stroms im Widerstandsbereich und drain-seitige Stromablösung von der Oberfläche im Sättigungsbereich

4.1.1 Bestimmung der effektiven Kanallänge

Die Strom-Spannungs-Abhängigkeit wurde für den inneren Transistor im vorhergehenden Kapitel hergeleitet (3.24). Mit den modifizierten Indizes lautet sie:

$$I_D \simeq \frac{w}{l} \mu_n C'_{ox} \left[(U_{GS} - U_{th}) U_{D^*S^*} - \frac{1}{2}(1 + \delta) U_{D^*S^*}^2 \right] \quad (4.1)$$

Hieraus läßt sich der Widerstand des Kanals (englisch *channel*) ableiten:

$$R_{ch} = \frac{U_{D^*S^*}}{I_D} = \frac{l_{eff}}{w \mu_n C'_{ox} \left[(U_{GS} - U_{th}) - \frac{1}{2}(1 + \delta) U_{D^*S^*} \right]} \quad (4.2)$$

Durch Addition der seriellen Source- und Drain-Widerstände resultiert der meßbare Gesamtwiderstand des Transistors.

$$R_{tot} = R_S + R_{ch} + R_D = \frac{U_{DS}}{I_D} \quad (4.3)$$

Die Kanallänge ergibt sich aus der Länge l_{poly} des Poly-Gates abzüglich der lateralen Unterdiffusionen l_{ov} . Aufgrund der symmetrischen Fertigung hat diese source-seitig die gleiche Größe wie an der Drain.

$$l = l_{poly} - 2l_{ov} \quad (4.4)$$

Somit gilt:

$$R_{tot} = R_S + R_D + \frac{l_{poly} - 2l_{ov}}{w \mu_n C'_{ox} \left[(U_{GS} - U_{th}) - \frac{1}{2}(1 + \delta) U_{D^*S^*} \right]} \quad (4.5)$$

Dies ist eine lineare Gleichung mit l_{poly} als Variable. Wertet man nun verschiedene konventionelle Transistoren unterschiedlicher Größe aus und variiert dabei die Gate-Source-Spannung, so erhält man die in Abbildung 4.4 gezeigten Geraden.

Diese kreuzen sich in einem Punkt und haben eine Steigung, die mit U_{GS} wächst.

Für den extrapolierten Schnittpunkt zweier Geraden gilt:

$$\begin{aligned} R_S + R_D + \frac{l_{poly} - 2l_{ov}}{w \mu_n C'_{ox} \left[(U_{GS1} - U_{th}) - \frac{1}{2}(1 + \delta) U_{D^*S^*1} \right]} = \\ R_S + R_D + \frac{l_{poly} - 2l_{ov}}{w \mu_n C'_{ox} \left[(U_{GS2} - U_{th}) - \frac{1}{2}(1 + \delta) U_{D^*S^*2} \right]} \end{aligned} \quad (4.6)$$

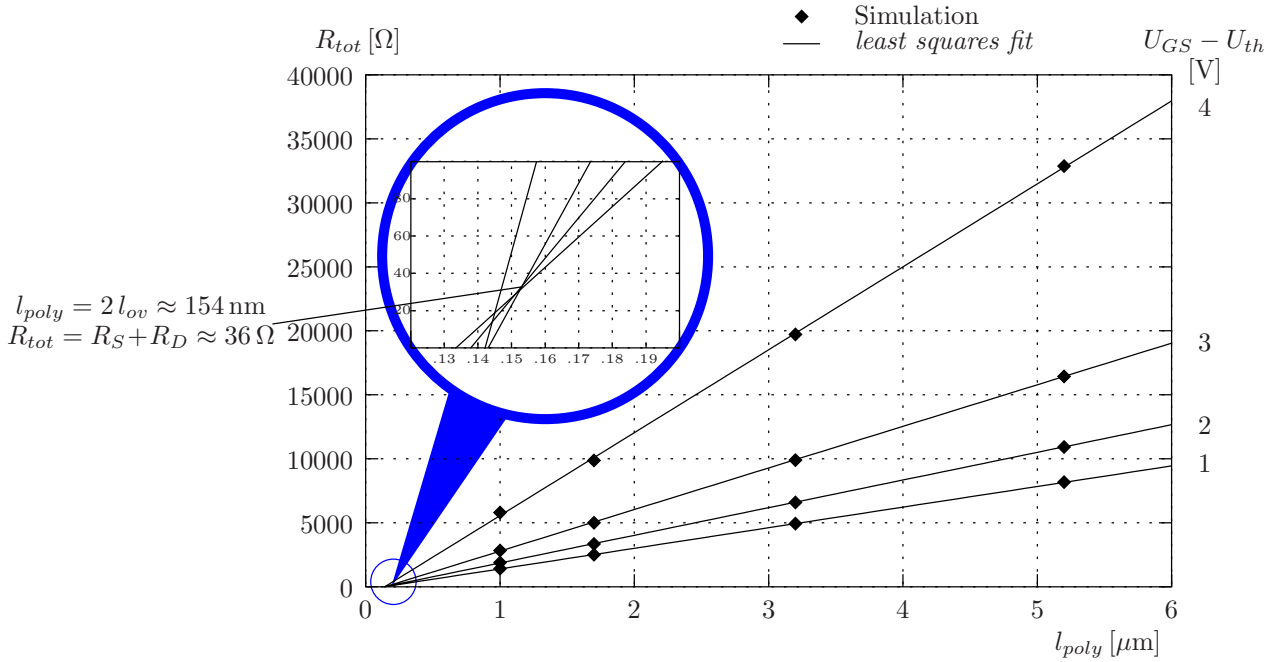


Abbildung 4.4: Schnittgeradenmethode zur Bestimmung der parasitären Widerstände mit Transistoren verschiedener Gate-Länge

Aufgrund der, abgesehen von der variablen Gate- und Kanallänge, gleichen Bauart der Transistoren gilt daher am Schnittpunkt:

$$l_{poly} = 2 l_{ov} \quad (4.7)$$

$$R_{tot} = R_S + R_D \quad (4.8)$$

Somit können auf einfache Weise die parasitären Widerstände $R_S + R_D$ sowie die Kanallänge l extrahiert werden. Bisher wurde lediglich von HDD-Transistoren ausgegangen, bei denen die parasitären Widerstände und die Kanallänge als spannungsnabhängig angesehen werden können.

Dies ist bei LDD-Transistoren aber gerade nicht der Fall!

Folglich schneiden sich die Geraden auch nicht in einem Punkt.

Um die beschriebene Meßmethode jedoch auch für LDD-Transistoren zu verwenden, variiert man für jede Gate-Source-Spannung diese um einen geringen Wert $\pm \Delta U_{GS}$, für den die Widerstände als konstant angesehen werden [7]. Für die Spannungen

$$U_{GS1} = U_{GS} + \Delta U_{GS} \quad \text{und} \quad U_{GS2} = U_{GS} - \Delta U_{GS} \quad (4.9)$$

gilt somit Gleichung (4.6) näherungsweise. Bei hinreichend kleinen Spannungsvariationen konvergieren die Schnittpunkte in $(R_S + R_D)(U_{GS})$ und $2 l_{ov}(U_{GS})$. Führt man

dieses Verfahren bei verschiedenen Gate-Source-Spannungen durch, so erhält man die eingangs beschriebene Spannungsabhängigkeit: Die Widerstände von Source und Drain sinken mit zunehmender Spannung, und die effektive Kanallänge

$$l_{eff}(U_{GS}) = l_{poly} - 2l_{ov}(U_{GS}) \quad (4.10)$$

nimmt zu.

Nachteil des beschriebenen Extraktionsverfahrens ist jedoch die Notwendigkeit, mehrere Transistoren gleicher Technologie, doch mit verschiedenen Größen, vermessen zu müssen. Dieses Verfahren bietet hingegen auch einen gewaltigen Vorteil: Da sich die Vorfaktoren in Gleichung (4.6) herauskürzen, schlagen Ungenauigkeiten in der Bestimmung der Transistorweite, der Beweglichkeit und der Oxidkapazität nicht zu Buche.

4.2 Messungen

Um die Abnahme der äußeren Widerstände bei steigender Gate-Source-Spannung zu verifizieren, wurden am institutseigenen Spitzen-Meßplatz Strom-Spannungs-Charakteristiken aufgenommen. Dazu wurden die Eingangskennlinien von Transistoren der C6-Technologie mit Gate-Längen zwischen 0,7 und 3 μm an offenen Teststrukturen vermessen. Zur Bestimmung der Einsatzspannung U_{th} diente das Zielstromverfahren; als Stromkriterium wurde hierfür

$$I_D = \frac{w}{l_{poly}} 2 \cdot 10^{-7} \text{ A} \quad (4.11)$$

gewählt. Für die Extraktion des Widerstands $R_S + R_D$ sowie der Änderung der effektiven Kanallänge Δl_{eff} nach der im vorangegangenen Kapitel beschriebenen Schnittgeradenmethode erwies sich $\Delta U_{GS} = 50 \text{ mV}$ als sinnvoll. Die Geradengleichungen $R_S + R_D = (R_S + R_D) (l_{poly})$ wurden für verschiedene $U_{GS} - U_{th}$ durch *least squares fits* ermittelt. Die an den Schnittpunkten je zweier Geraden extrahierten Werte sind in Abbildung 4.5 dargestellt.

Es zeigt sich, daß die parasitären Widerstände stärker als linear mit der effektiven Gate-Spannung abfallen. Da mit zunehmender Spannung die Steigungen der Geraden immer weniger differieren, unterliegen die Schnittpunkte — und damit die extrahierten Werte — bei hohen Spannungen größeren Ungenauigkeiten. Da das Dotierungsprofil

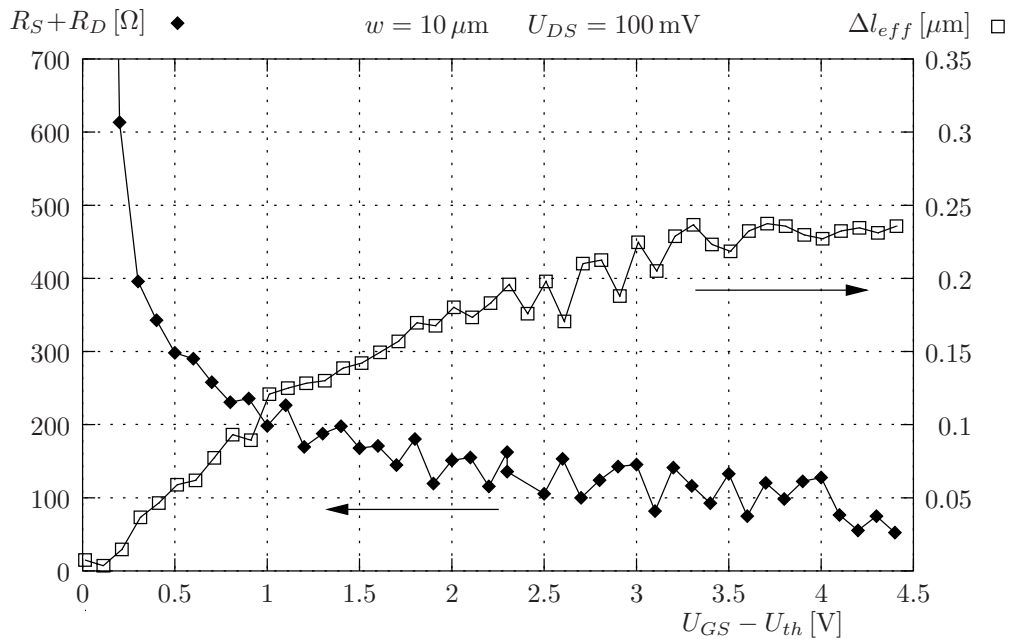


Abbildung 4.5: Änderung der effektiven Kanallänge und $R_S + R_D$ in Abhängigkeit von der Gate-Source-Spannung

Extraktion nach der Schnittgeradenmethode aus Messungen an Transistoren mit Gate-Längen zwischen $0,7$ und $3 \mu\text{m}$

und die Länge der Gate-Unterdiffusion der gemessenen Transistoren unbekannt waren, ist ein direkter Vergleich mit dem im folgenden angestrebten Widerstandsmodell nicht möglich. Auf eine exakte Fehlerbetrachtung wurde daher verzichtet; die Kurvenverläufe mögen lediglich qualitativen Zwecken dienen.

4.3 Widerstandsverhalten von Source und Drain

Für die Verwendung in einem Schaltungssimulator mag der im vorletzten Kapitel beschriebene Ansatz mit einer spannungsabhängigen effektiven Kanallänge nützlich sein. Jedoch führt diese Abhängigkeit bei jeder neuen Technologie zu einem veränderten Parametersatz. Insbesondere das Verlassen der geometrischen Maße, sprich: der Abstand von pn -Übergang zu pn -Übergang, ist unbefriedigend. Dieses Kapitel soll sich daher mit der reinen Widerstandsbeschreibung der Source- und Drain-Gebiete beschäftigen. Dies ist der eigentliche Impetus dieser Arbeit.

4.3.1 Extraktionsmethoden

Eine schwierige Frage ist die nach der Meßbarkeit der parasitären Widerstände. Diese lassen sich naturgemäß nicht direkt messen, will man den Transistor nicht zerstören, sprich: zerschneiden. Extraktionsalgorithmen sind also gefragt. Neben dem bei der Extraktion der effektiven Kanallänge vorgestellten sei noch ein anderer aufgeführt.

4.3.1.1 Widerstandsextraktion durch Iterationsverfahren

Ausgangspunkt ist die vereinfachte und auf die inneren Spannungsknoten bezogene Gleichung (3.24):

$$I_D = \frac{w}{l} \mu_n C'_{ox} \left[(U_{GS^*} - U_{th}) U_{D^*S^*} - \frac{1}{2} U_{D^*S^*}^2 \right] \quad (4.12)$$

Diese Gleichung läßt sich nicht direkt auf die gemessenen Kennlinien anwenden, da man die Potentiale der inneren Knoten nicht kennt. Da eine vollständige Separation von R_S und R_D nicht möglich ist, ist man gezwungen, die Widerstände mittels Iteration zu bestimmen: Anfangs werden inneren Spannungen gleich den äußeren gesetzt. Die Einsatzspannung läßt sich aus den Kennlinien extrapolieren. Man extrahiert für einen symmetrischen Transistor den Serienwiderstand $R_S + R_D = 2 R_S$. Mit dem Spannungsabfall über diese Widerstände korrigiert man die inneren Potentiale und bestimmt erneut die Widerstände. Diese Schleife wird bis zur Konvergenz durchlaufen. Abbildung 4.6 zeigt das Flußdiagramm für diesen Extraktionsalgorithmus [9].

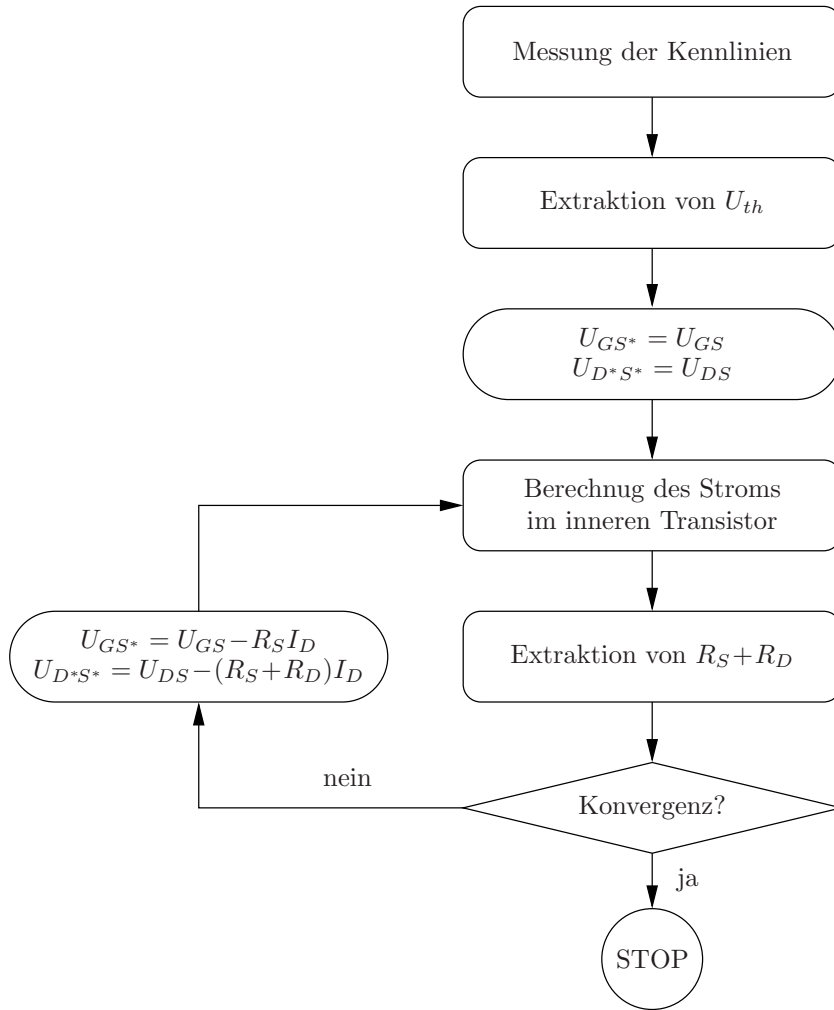
Dieses Iterationsverfahren ist, da es für jede Gate-Source-Spannung getrennt durchgeführt werden muß, sehr rechenaufwendig.

4.3.1.2 Widerstandsextraktion durch Parameteranpassung

Die inneren Spannungen lassen sich jedoch, wie bereits erwähnt, durch den Spannungsabfall über die parasitären Widerstände auf die äußeren zurückführen.

$$U_{D^*S^*} = U_{DS} - I_D (R_S + R_D) \quad (4.13)$$

$$U_{GS^*} = U_{GS} - I_D R_S \quad (4.14)$$

Abbildung 4.6: Flußdiagramm zur Extraktion von $R_S + R_D$

Damit läßt sich für den Drain-Strom schreiben:

$$\begin{aligned}
 I_D &= \frac{w}{l} \mu_n C'_{ox} \left[\left(U_{GS^*} - U_{th} \right) U_{D^*S^*} - \frac{1}{2} U_{D^*S^*}^2 \right] \\
 &= \frac{w}{l} \mu_n C'_{ox} \left[\left((U_{GS} - I_D R_S) - U_{th} \right) \left(U_{DS} - I_D (R_S + R_D) \right) \right. \\
 &\quad \left. - \frac{1}{2} \left(U_{DS} - I_D (R_S + R_D) \right)^2 \right] \tag{4.15}
 \end{aligned}$$

Dies stellt eine im Drain-Strom quadratische Gleichung dar. Sie hat zwei Lösungen, von denen, wie in Kapitel 3 erläutert wurde, nur eine physikalisch sinnvoll ist. Eine längere Rechnung ergibt:

$$I_D = \frac{-b - \sqrt{b^2 - 4ac}}{2a} \tag{4.16}$$

mit

$$a = \frac{1}{2}(R_S + R_D)(R_S - R_D) = \frac{1}{2}(R_S^2 - R_D^2) \quad (4.17)$$

$$b = (R_S + R_D)(U_{DS} - (U_{GS} - U_{th})) - R_S - \left(\frac{w}{l} \mu_n C'_{ox}\right)^{-1} \quad (4.18)$$

$$c = (U_{GS} - U_{th})U_{DS} - \frac{1}{2}U_{DS}^2 \quad (4.19)$$

Betrachtet man R_S und R_D als Parameter, so läßt sich obige Gleichung an gemessene Kennlinien anpassen. Oftmals verwendet man hierfür den *Levenberg-Marquardt-Algorithmus* [12, 21].

Besondere Beachtung verdient der Parameter b aus der Lösung der quadratischen Gleichung:

Die parasitären Widerstände R_S und R_D fließen hier asymmetrisch ein, was eine Separation von beiden ermöglicht. Dies ist besonders dann von Vorteil, wenn der source- und der drain-seitige Widerstand aufgrund unterschiedlicher Bemaßung oder Degradation des Transistors unterschiedliche Werte annehmen. Üblicherweise verstärkt man diesen asymmetrischen Einfluß auf das Extraktionsverfahren, indem man den Transistor auch im reverse mode, also unter Vertauschung des Source- und Drain-Anschlusses vermißt.

4.3.2 Modell des Source-Widerstands

In diesem ausführlichen Kapitel wird ein Modell für das Widerstandsverhalten des äußeren Transistors angestrebt. Aus besagten Gründen genügt es, das Verhalten der Source im Widerstandsbereich zu beschreiben.

Abbildung 4.7 zeigt den typischen mit MEDICI simulierten Verlauf der Strompfade im Source-Bereich. Dies entspricht einer Vergrößerung von Abbildung 4.3.

Tabelle 4.1 faßt die für die Simulation verwendeten Parameter zusammen.

Die Elektronen treten senkrecht zum äquipotentialen Source-Kontakt in das Silizium ein und durchlaufen einen Bogen in Richtung zur Drain. Der Schichtwiderstand (*sheet resistance*) im n^+ -Gebiet wird annähernd parallel durchquert, ebenso das Gebiet unter dem *Spacer*. Im Überlappgebiet verjüngt sich das Strombündel bis zum Eintritt in den Kanal auf wenige Nanometer. Dieser trichterförmig streuende Verlauf der technischen Stromrichtung führt zur Namensgebung: *Spreading-Widerstand*. Ein Großteil

Tabelle 4.1: Simulationsdaten — falls nicht anders angegeben

Länge des Kanals	l	$0,8 \mu\text{m}$
Weite des Kanals	w	$1 \mu\text{m}^{-1}$
Elektronenbeweglichkeit	μ_n	$550 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$
n^+ -Dotierung	N_{D+}	$1 \cdot 10^{-20} \text{ cm}^{-3}$
n^- -Dotierung	N_{D-}	$1 \cdot 10^{-18} \text{ cm}^{-3}$
Mittlere Donatorenkonzentration	\bar{N}_D	$5,7 \cdot 10^{-17} \text{ cm}^{-3}$
p -Dotierung	N_A	$1 \cdot 10^{-17} \text{ cm}^{-3}$
Länge der Unterdiffusion	l_{ov}	100 nm
Oxidkapazität pro Fläche	C'_{ox}	$2,875 \cdot 10^{-15} \text{ F}\mu\text{m}^{-1}$
Oxiddicke	d_{ox}	12 nm
Länge des Oxid-Spacers	l_{spa}	100 nm
Abstand des Kontaktlochs vom Spacer	l_{n^+}	200 nm

der Ladungsträger fließt jedoch aufgrund der elektrostatischen Anziehung des Gates in einer Akkumulationsschicht an der Halbleiteroberfläche. Die Akkumulationsschicht und damit deren Widerstand weisen eine starke Spannungsabhängigkeit auf. Durch die Raumladungszone (*depletion region*) fließen die Elektronen in die Inversionsschicht des inneren Transistors.

Insgesamt bietet sich die in Abbildung 4.7 unten skizzierte Widerstandsverteilung an:

$$R_S = R_{con} + R_{sh} + R_{spa} + \left(\frac{1}{R_{acc} + R_{spr}} \right)^{-1} + R_{depl} \quad (4.20)$$

Besonderes Merkmal ist die Parallelschaltung des Akkumulations- und des Spreading-Widerstands.

Auf die Einführung eines Bulk-Widerstands kann aufgrund sehr geringer Substratströme verzichtet werden — sie liegen typischerweise fünf Größenordnungen unter den Drain-Strömen.

4.3.3 Der Akkumulationswiderstand

Mit zunehmender Gate-Source-Spannung sammeln sich immer mehr Elektronen in der Nähe der Halbleiteroberfläche. Abbildung 4.8 zeigt dies für einen vertikalen Schnitt in der Mitte des Überlappgebiets. Da die charakteristischen Längen im Nanometerbereich

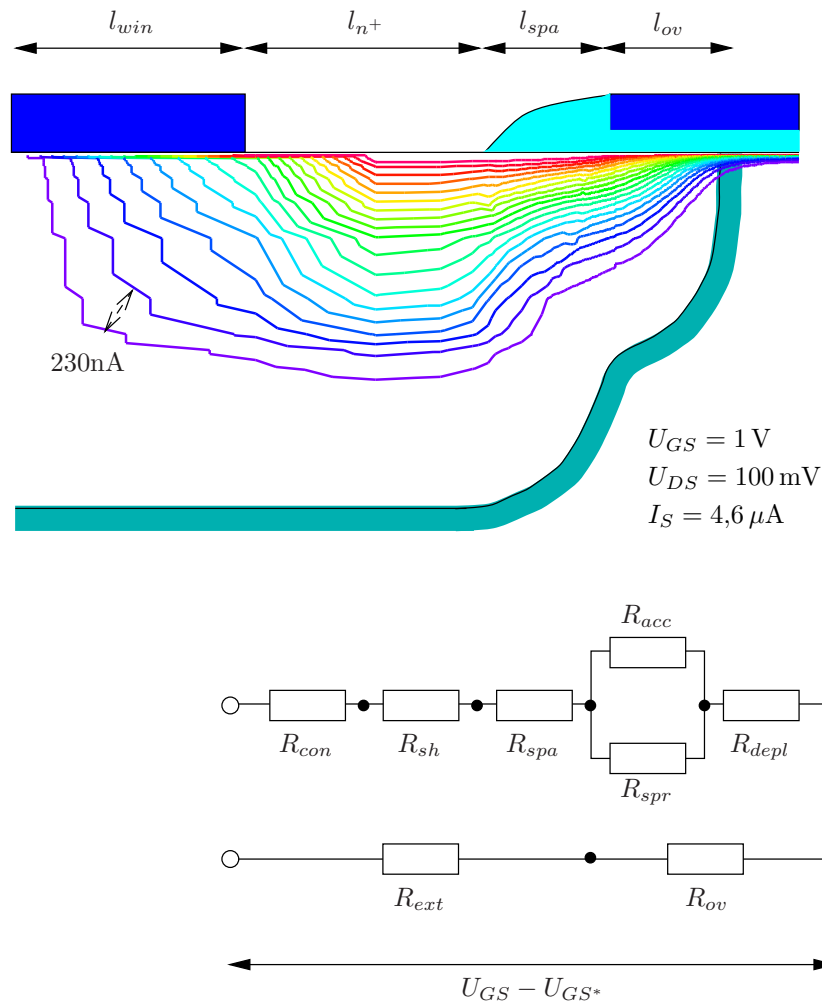


Abbildung 4.7: Strompfade im Source-Gebiet für einen Transistor im Widerstandsbereich

Zur Modellierung verwendete Widerstandsaufteilung

liegen, war für die Simulation ein Gitter aus ungefähr 10 000 Stützstellen notwendig.

Diese Elektronenakkumulation weist wesentliche Unterschiede zur Inversionsschicht im Kanal auf:

- Während im Kanal die vertikale Elektronenverteilung (Abbildung 3.1, S. 24) nahezu exponentiell über den Ort verläuft, steigt die Dichte in der Akkumulationsschicht stärker als exponentiell an.
- Die Inversionsschicht wird begrenzt durch die sich anschließende Raumladungszone im Substrat. Eine solche bildet sich für die Akkumulationsschicht nicht aus.

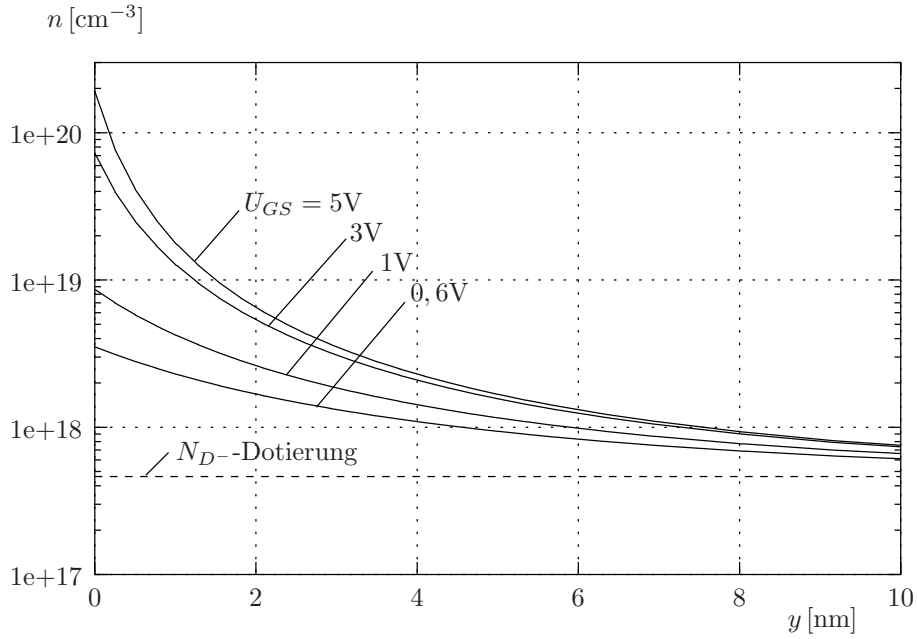


Abbildung 4.8: Elektronenakkumulation an der Halbleiteroberfläche des Überlappgebiets für verschiedene Gate-Source-Spannungen

4.3.3.1 Poisson-Gleichung

Eine genaue Beschreibung der Akkumulationsschicht erfordert die vertikale Lösung der Poisson-Gleichung; diese beschreibt den Zusammenhang zwischen der Ladungsdichte ρ und dem elektrostatischen Potential ψ im Halbleiter:

$$\varepsilon_0 \varepsilon_{si} \vec{\nabla}^2 \psi = -\rho(y) \quad (4.21)$$

Als Randbedingungen fungieren:

$$\psi = \begin{cases} \phi_s & \text{für } y = 0 \\ 0 & \text{für } y \rightarrow \infty \end{cases} \quad (4.22)$$

$$\frac{d\psi}{dy} = 0 \quad \text{für } y \rightarrow \infty \quad (4.23)$$

Die Ladung setzt sich zusammen aus den freien Elektronen und Löchern sowie den Ionen der Donatoren und Akzeptoren.

$$\begin{aligned} \rho(y) &= q [-n(y) + p(y) + N_D^+ - N_A^-] \\ &\approx q [-n(y) + p(y) + N_D - N_A] \end{aligned} \quad (4.24)$$

Im letzten Schritt wurde — wie schon in den vorhergehenden Kapiteln — vollständige Ionisierung der Dotieratome angenommen.

Im n -dotierten Überlappgebiet werden die Majoritätsträger durch Gleichung (2.11)

$$n(y) = n_i e^{-\frac{\phi_F - \psi(y)}{\phi_t}} \quad (4.25)$$

und die Minoritätsträger durch Gleichung (2.12)

$$p(y) = n_i e^{\frac{\phi_F - \psi(y)}{\phi_t}} \quad (4.26)$$

beschrieben.

Der Vollständigkeit halber seien nochmals die Definitionen für die Intrinsic-Dichte, das Fermi-Potential und die Thermospannung aufgeführt.

$$n_i = \sqrt{N_D N_A} \quad (4.27)$$

$$\phi_F = -\frac{E_F - E_i}{q} = -\frac{kT}{q} \ln \frac{N_D}{n_i} \quad (4.28)$$

$$\phi_t = \frac{kT}{q} \quad (T=300\text{K}) \approx 26\text{mV} \quad (4.29)$$

In der Tiefe des Source-Gebiets herrscht Ladungsneutralität; dort gilt also:

$$\begin{aligned} N_D - N_A &= -n(y \rightarrow \infty) + p(y \rightarrow \infty) \\ &\stackrel{4.25, 4.26}{=} n_i e^{-\frac{\phi_F - \psi(y \rightarrow \infty)}{\phi_t}} - n_i e^{\frac{\phi_F - \psi(y \rightarrow \infty)}{\phi_t}} \\ &\stackrel{\psi(y \rightarrow \infty)=0}{=} n_i \left(e^{-\frac{\phi_F}{\phi_t}} - e^{\frac{\phi_F}{\phi_t}} \right) \\ &= -2 n_i \sinh \left(\frac{\phi_F}{\phi_t} \right) \end{aligned} \quad (4.30)$$

Setzt man (4.25), (4.26) und (4.30) in Gleichung (4.24) ein, so läßt sich die Ladungsträgerdichte über die Potentiale beschreiben:

$$\begin{aligned} \varrho(y) = \varrho(\psi(y)) &= q \left[-n_i e^{-\frac{\phi_F - \psi(y)}{\phi_t}} + n_i e^{\frac{\phi_F - \psi(y)}{\phi_t}} + n_i e^{-\frac{\phi_F}{\phi_t}} - n_i e^{\frac{\phi_F}{\phi_t}} \right] \\ &= 2 q n_i \left[\sinh \left(\frac{\phi_F - \psi(y)}{\phi_t} \right) - \sinh \left(\frac{\phi_F}{\phi_t} \right) \right] \end{aligned} \quad (4.31)$$

Die Poisson-Gleichung (4.21) nimmt somit die Form

$$\vec{\nabla}^2 \psi = \frac{d^2 \psi}{dy^2} = -\frac{\varrho(y)}{\varepsilon_0 \varepsilon_{si}} = -\frac{2 q n_i}{\varepsilon_0 \varepsilon_{si}} \left[\sinh \left(\frac{\phi_F - \psi(y)}{\phi_t} \right) - \sinh \left(\frac{\phi_F}{\phi_t} \right) \right] \quad (4.32)$$

an. Dies ist eine gewöhnliche Differentialgleichung zweiter Ordnung für das Halbleiterpotential ψ .

Mit der Operatoridentität

$$2 \frac{d\psi}{dy} \frac{d^2\psi}{dy^2} = \frac{d}{dy} \left(\frac{d\psi}{dy} \right)^2 \quad (4.33)$$

und der elektrischen Feldstärke $E(y) = -d\psi/dy$ ergibt sich aus Gleichung (4.32):

$$\frac{d}{dy} E^2(y) = -\frac{4q n_i}{\varepsilon_0 \varepsilon_{si}} \frac{d\psi}{dy} \left[\sinh \left(\frac{\phi_F - \psi(y)}{\phi_t} \right) - \sinh \left(\frac{\phi_F}{\phi_t} \right) \right] \quad (4.34)$$

Trennung der Variablen und Integration über y mit den Randbedingungen (4.22) und (4.23) führt zu

$$\int_{E^2(y)}^{E^2(y \rightarrow \infty) = 0} dE^2(y) = -\frac{4q n_i}{\varepsilon_0 \varepsilon_{si}} \int_{\psi(y)}^{\psi(y \rightarrow \infty) = 0} \sinh \left(\frac{\phi_F - \psi(y)}{\phi_t} \right) - \sinh \left(\frac{\phi_F}{\phi_t} \right) d\psi \quad (4.35)$$

und nach einigem Rechenaufwand zu:

$$\begin{aligned} E^2(y) &= \frac{2q n_i}{\varepsilon_0 \varepsilon_{si}} \left[e^{\frac{\phi_F}{\phi_t}} \left(\phi_t e^{-\frac{\psi(y)}{\phi_t}} + \psi(y) - \phi_t \right) + e^{-\frac{\phi_F}{\phi_t}} \left(\phi_t e^{\frac{\psi(y)}{\phi_t}} - \psi(y) - \phi_t \right) \right] \\ (4.30) \quad &\stackrel{=}{=} \frac{2q N_D}{\varepsilon_0 \varepsilon_{si}} \left[\frac{N_A}{N_D} \left(\phi_t e^{-\frac{\psi(y)}{\phi_t}} + \psi(y) - \phi_t \right) + \phi_t e^{\frac{\psi(y)}{\phi_t}} - \psi(y) - \phi_t \right] \end{aligned} \quad (4.36)$$

Im Überlappgebiet übertrifft die Donatorenkonzentration die der Grunddotierung bei weitem, so daß der Faktor N_A/N_D vernachlässigbar klein wird.

Da nur positive Gate-Source-Spannungen von Interesse sein sollen, das Feld also vertikal in den Halbleiter gerichtet ist, folgt:

$$E(y) = \sqrt{\frac{2q N_D}{\varepsilon_0 \varepsilon_{si}} \left(\phi_t e^{\frac{\psi(y)}{\phi_t}} - \psi(y) - \phi_t \right)} \quad (4.37)$$

Die zweite Integration der Poisson-Gleichung

$$-\int_0^y E(y) dy = \int_{\psi(y=0)=\phi_s}^{\psi} d\psi \quad (4.38)$$

ist auch nach Trennen der Variablen

$$\int_0^y \sqrt{\frac{2q N_D}{\varepsilon_0 \varepsilon_{si}}} dy = \int_{\psi(y=0)=\phi_s}^{\psi} \frac{d\psi}{\sqrt{\phi_t e^{\frac{\psi(y)}{\phi_t}} - \psi(y) - \phi_t}} \quad (4.39)$$

nicht allgemein möglich. Somit existiert auch keine geschlossene Darstellung von $\psi(y)$ in Abhängigkeit von der Gate-Source-Spannung. Mithin ist auch die Bestimmung der örtlichen Verteilung der Ladungsträgerdichte (4.32) nur numerisch — wie in Abbildung 4.8 — möglich.

Daher wird nun eine einfachere Modellierung des Akkumulationswiderstandes angestrebt.

Der Widerstand pro lateraler Längeneinheit ist indirekt proportional zur Leitfähigkeit des Halbleiters und der vom Strom durchflossenen Fläche.

$$\frac{dR_{acc}}{dx} = \frac{1}{\int_{z=0}^{z=w} \int_{y=0}^{y \rightarrow \infty} \sigma(y) dy dz} \quad (4.40)$$

Die Leitfähigkeit σ ist der Absolutwert des Produkts aus der Ladungsträgerdichte ϱ und deren Beweglichkeit μ . Sie kann, abgesehen von Randbereichen, als über die Weite w des Transistors konstant angenommen werden.

Wegen der Gültigkeit von

$$\frac{|\varrho(y)|}{q} \approx n'(y) \stackrel{\text{(def)}}{=} n(y) - N_D \gg N_A - p \quad (4.41)$$

im Überlappgebiet läßt sich unter Verwendung der Überschuß-Elektronendichte n' und der Nomenklatur aus Abbildung 4.7 (S. 45) weiterführen:

$$\begin{aligned} R_{acc} &= \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{w \int_{y=0}^{y \rightarrow \infty} \mu_n |\varrho(y)| dy} dx = \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{w \mu_n \int_{y=0}^{y \rightarrow \infty} q n'(y) dy} dx \\ &= \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{w \mu_n (-Q'_{acc})} dx = -\frac{\tilde{l}_{ov}}{w \mu_n Q'_{acc}} \end{aligned} \quad (4.42)$$

Besonders erwähnenswert ist hierbei die Tatsache, daß nicht die im vorigen Kapitel angestrebte lokale Verteilung der Überschuß-Elektronen von Bedeutung ist, sondern lediglich deren integrale Summe:

$$Q'_{acc} = -q \int_{y=0}^{y \rightarrow \infty} n'(y) dy \quad (4.43)$$

Die Akkumulationsladung pro Fläche Q'_{acc} erhält man unter Verwendung des Gaußschen Satzes [8].

$$Q'_{acc} = \frac{\varepsilon_0 \varepsilon_{si}}{A} \oint \vec{E} d\vec{A} \quad (4.44)$$

Somit läßt sich — mit der Randbedingung einer im Unendlichen verschwindenden Feldstärke — mit Gleichung (4.37) die Ladung pro Flächeneinheit in Abhängigkeit vom Oberflächenpotential $\phi_s = \psi(y=0)$ berechnen.

$$Q'_{acc} = -\varepsilon_0 \varepsilon_{si} E(y=0) = -\sqrt{2qN_D \varepsilon_0 \varepsilon_{si} \left(\phi_t e^{\frac{\phi_s}{\phi_t}} - \phi_s - \phi_t \right)} \quad (4.45)$$

Eingesetzt in Gleichung (4.42) kommt man auf den Akkumulationswiderstand als Funktion des Oberflächenpotentials.

$$R_{acc} = \frac{\tilde{l}_{ov}}{w\mu_n \sqrt{2qN_D \varepsilon_0 \varepsilon_{si} \left(\phi_t e^{\frac{\phi_s}{\phi_t}} - \phi_s - \phi_t \right)}} \quad (4.46)$$

Man benötigt nun noch einen Ausdruck, der das Oberflächenpotential ϕ_s mit der von außen angelegten Spannung U_{GS} verknüpft. Dazu werden, analog zur Herleitung der Inversionsschicht, der Ladungserhaltungssatz

$$Q'_G + Q'_0 + Q'_{acc} = 0 \quad (4.47)$$

und die Maschengleichung

$$U_{GS} = \phi_{ox} + \phi_s + \phi_c \quad (4.48)$$

herangezogen. Q'_G bezeichnet die Gegenladung am Gate, Q'_0 die Oberflächenzustände der Grenzschicht Halbleiter–Oxid, ϕ_{ox} den Spannungsabfall über das Oxid und ϕ_c die Kontaktspannung aufgrund der unterschiedlichen Austrittsarbeit von Elektronen für das Gate- und Substratmaterial. Alle gestrichelten Größen beziehen sich auch hier auf die Fläche. Die Kontaktspannung kann im Kanalgebiet einen anderen Wert annehmen.

$$\phi_c = \phi_t \ln \frac{N_{Gate}}{N_D} \approx 0,15 \text{ V} \quad (4.49)$$

Unter Zuhilfenahme von

$$Q'_G = C'_{ox} \phi_{ox} \quad (4.50)$$

und der Definition der Flachbandspannung des Überlappgebiets

$$\tilde{U}_{fb} = \phi_c - \frac{Q'_0}{C'_{ox}} \quad (4.51)$$

ergibt sich:

$$U_{GS} - \tilde{U}_{fb} = \phi_s - \frac{Q'_{acc}}{C'_{ox}} \quad (4.52)$$

Somit ist ein Zusammenhang gefunden, um den Akkumulationswiderstand (4.46) über die Gate-Source-Spannung auszudrücken.

Leider ist dieses Gleichungssystem nur implizit lösbar und erfordert somit viel Rechenzeit. Es ist daher für ein Modell, bei dem es auf Geschwindigkeit ankommt, unbrauchbar. Man muß daher nähern:

4.3.3.2 Charge sheet-Näherung

Sieht man die Akkumulationsschicht als infinitesimal dünn an, so kann man den Spannungsabfall über sie in der Potentialbilanz vernachlässigen. In der Ladungsbilanz ist sie hingegen der dominante Faktor.

Daher erhält man mit $U_{GS} - \tilde{U}_{fb} = \phi_s$

$$-Q'_{acc} = C'_{ox} (U_{GS} - \tilde{U}_{fb}) \quad (4.53)$$

und so aus (4.42):

$$R_{acc}(U_{GS}) = \frac{\tilde{l}_{ov}}{w\mu_n C'_{ox} (U_{GS} - \tilde{U}_{fb})} \quad (4.54)$$

Diese hyperbolische Abnahme des Widerstandes mit der Gate-Source-Spannung zeigt Abbildung 4.9.

Als Alternative bietet sich eine Taylor-Entwicklung der Exponentialfunktion aus (4.45) bis zum quadratischen Term für kleine ϕ_s an:

$$\begin{aligned} Q'_{acc} &= -\sqrt{2qN_D \varepsilon_0 \varepsilon_{si} \left(\phi_t e^{\frac{\phi_s}{\phi_t}} - \phi_s - \phi_t \right)} \\ &\approx -\sqrt{qN_D \varepsilon_0 \varepsilon_{si} \left[\phi_t \left(1 + \frac{\phi_s}{\phi_t} + \frac{1}{2} \left(\frac{\phi_s}{\phi_t} \right)^2 \right) - \phi_s - \phi_t \right]} \end{aligned}$$

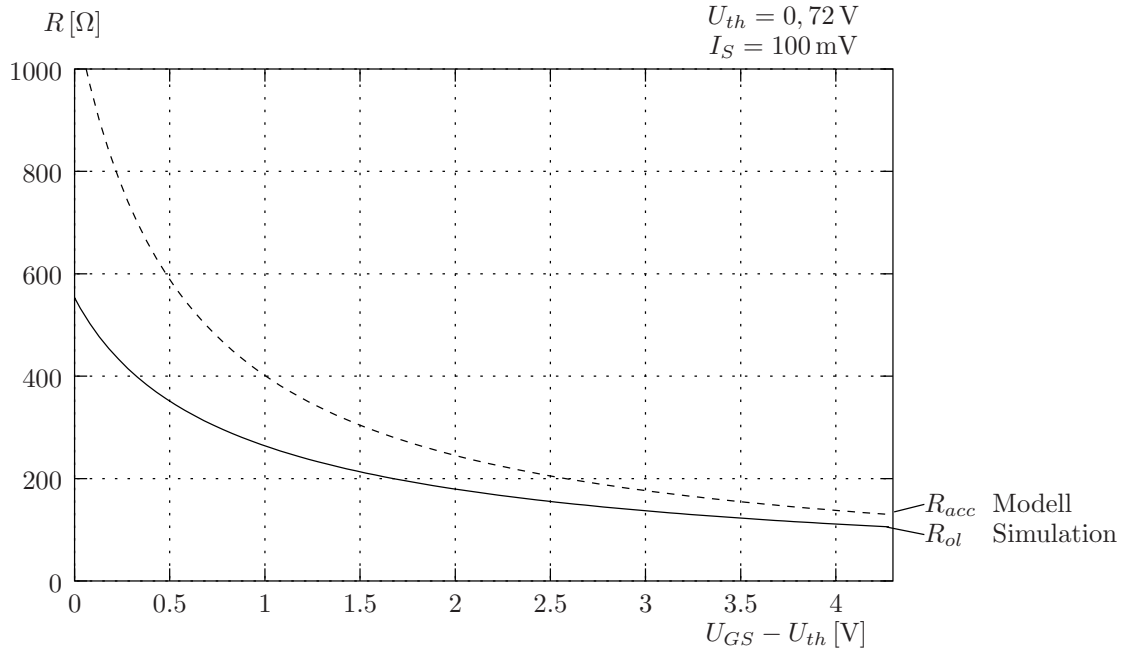


Abbildung 4.9: Hyperbolische Abnahme des Akkumulationswiderstandes mit der Gate-Source-Spannung und Vergleich mit dem simulierten Überlappwiderstand

$$\begin{aligned}
 &= -\sqrt{\frac{qN_D \varepsilon_0 \varepsilon_{si}}{\phi_t}} \cdot \phi_s \\
 (4.52) \quad &\stackrel{=}{=} -\sqrt{\frac{qN_D \varepsilon_0 \varepsilon_{si}}{\phi_t}} \cdot \left(U_{GS} - \tilde{U}_{fb} + \frac{Q'_{acc}}{C'_{ox}} \right) \quad (4.55)
 \end{aligned}$$

Aufgelöst nach der Akkumulationsschichtladung ergibt sich

$$Q'_{acc} = - \left(U_{GS} - \tilde{U}_{fb} \right) C'_{ox} \cdot \frac{1}{1 + \frac{C'_{ox}}{\sqrt{\frac{qN_D \varepsilon_0 \varepsilon_{si}}{\phi_t}}}} \quad (4.56)$$

und somit ein um den letzten Faktor geringerer Wert als bei der ersten Näherung. Der Wert der Wurzel ist jedoch nicht allzu groß, so daß im folgenden Gleichung (4.54) genügen soll.

Abbildung 4.10 zeigt den simulierten Verlauf von

$$-Q'_{acc} = q \int_{y=0}^{y \rightarrow \infty} n'(y) dy = q \int_{y=0}^{y \rightarrow \infty} n(y) - N_D dy \quad (4.57)$$

für verschieden vertikale Schnitte, also eine integrierte Darstellung von Abbildung 4.8.

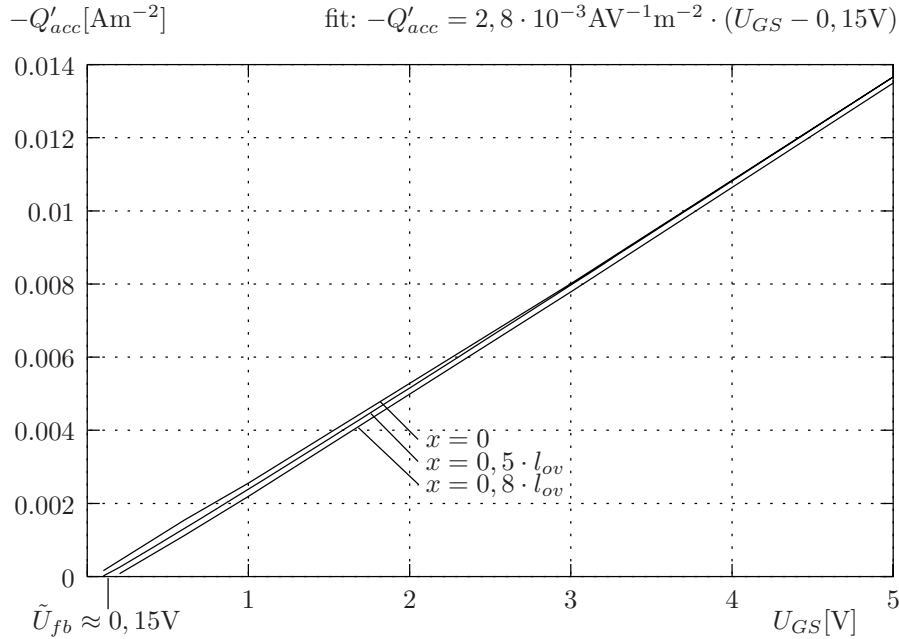


Abbildung 4.10: Aufintegrierte Verteilung der Überschuelektronen für einen vertikalen Schnitt im Unterdiffusionsgebiet

Wie man sieht, ergibt sich eine erstaunlich lineare Spannungsabhängigkeit. Außerdem erkennt man, daß Q'_{acc} nur sehr geringfügig vom lateralen Ort abhängt, die Integration über x mit konstantem Q'_{acc} auf Seite 49 somit gerechtfertigt war.

Aus der Steigung der Kurve läßt sich die Oxidkapazität ermitteln. Sie liegt nur 2,5% unter dem Eingabewert, der für Simulation verwendet wurde (Tab. 4.1, S. 44). Dies ist ein Beleg für die Güte der *Charge sheet*-Näherung. Am Schnittpunkt mit der x -Achse kann man die Flachbandspannung des Überlappgebiets ablesen; sie steigt geringfügig bei Annäherung an den Kanal, also mit fallender Dotierung (4.51 und 4.49).

4.3.4 Der Spreading-Widerstand

Wesentlich komplizierter gestaltet sich hingegen die Modellierung des Spreading-Widerstandes, da es sich um ein zweidimensionales Problem handelt.

Während die Leitfähigkeit der Akkumulationsschicht durch den gate-induzierten Elektronenüberschuß bestimmt wird, beruht die Leitfähigkeit nun auf den durch Ionisation freigesetzten Elektronen der Donatoratome.

$$n(x, y) \approx N_D(x, y) \quad (4.58)$$

Verwendet man für den Spreading-Widerstand eine zu (4.42) analoge Definition, so hat dies zur Folge, daß der Nenner von

$$R_{spr} = \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{w\mu_n q \int_{y=0}^{y=\infty} N_D(x, y) dy} dx \quad (4.59)$$

nicht konvergieren muß.

Physikalisch sinnvoll ist, die y -Integration nur über einen Bereich hinweg durchzuführen, in dem auch tatsächlich Strom fließt; oder anders ausgedrückt: für den Spreading-Widerstand ist nicht die Tiefe der Dotierung relevant, sondern lediglich deren Gewichtung mit der Stromdichte.

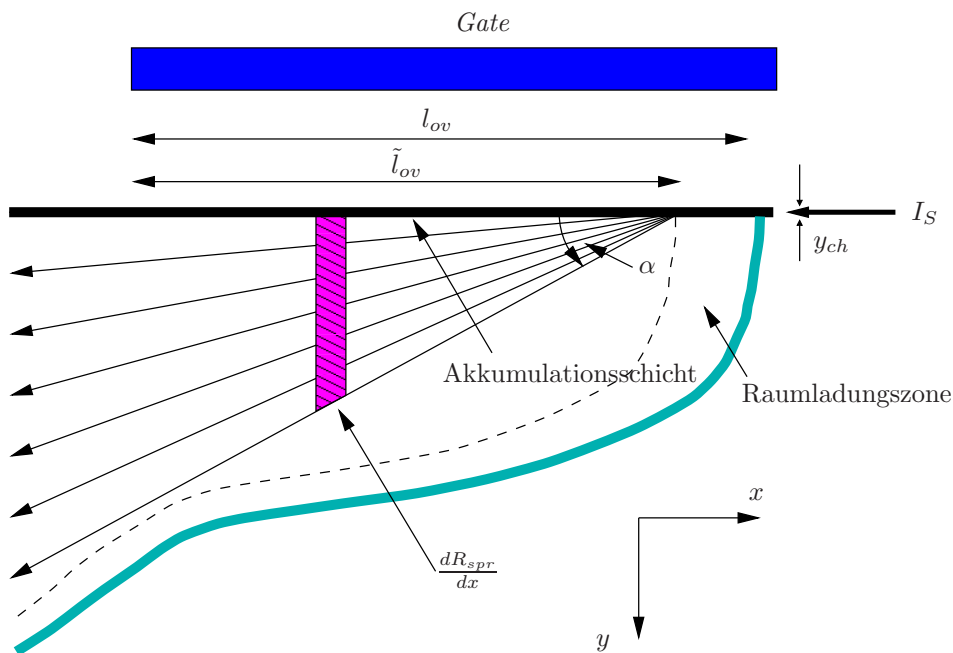


Abbildung 4.11: Modell für den aufgefächerten Spreading-Strom

Der Winkel, unter dem der Strom streut, wird mit α bezeichnet. Aus den trigonometrischen Beziehungen ergibt sich so die Grenze, bis zu der die y -Integration ausgeführt werden darf, wobei mit y_{ch} die Kanaltiefe bezeichnet wird (Abbildung 4.11).

$$y(x) = (\tilde{l}_{ov} - x) \tan \alpha + y_{ch} \quad (4.60)$$

Damit ergibt sich für den Spreading-Widerstand:

$$\begin{aligned}
R_{spr} &= \int_{x=0}^{x=\tilde{l}_{ov}} \frac{dR_{spr}(x, y)}{dx} dx = \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{w\mu_n q \int_{y=0}^{y=(\tilde{l}_{ov}-x)\tan\alpha+y_{ch}} N_D(x, y) dy} dx \\
&= \frac{1}{w\mu_n q \bar{N}_D} \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{(\tilde{l}_{ov}-x)\tan\alpha+y_{ch}} dx \\
&= \frac{1}{w\mu_n q \bar{N}_D} \cdot \frac{1}{\tan\alpha} \cdot \ln \frac{\tilde{l}_{ov} \cdot \tan\alpha + y_{ch}}{y_{ch}} \\
&\approx \frac{1}{w\mu_n q \bar{N}_D \tan\alpha} \cdot \ln \frac{\tilde{l}_{ov} \cdot \tan\alpha}{y_{ch}} \tag{4.61}
\end{aligned}$$

Hierbei wurde eine mittlere Donatorkonzentration \bar{N}_D verwendet.

Bemerkenswert ist die Tatsache, daß der Widerstand nicht proportional zur Länge \tilde{l}_{ov} skaliert.

4.3.4.1 Extraktion des Streuwinkels

Problematisch ist jedoch die Bestimmung des Streuwinkels α . Dieser ist Messungen nicht zugänglich und muß somit durch eine Bauelementsimulation bestimmt werden.

Macht man einen vertikalen Schnitt durch das Überlappgebiet, so zeigt sich eine in die Tiefe abnehmende Stromdichte. Das Flächenintegral $\int \vec{j} d\vec{A}$ ergibt den gesamten Stromfluß zwischen Drain und Source. Man kann daher die Betrachtung auf die x -Komponente der Stromdichte reduzieren. Diese teilt sich entsprechend der Widerstandsdefinitionen additiv in zwei Komponenten auf, die mit ihrem Ladungsträgerverhältnis gewichtet sind:

$$\vec{j}_{x_{acc}} = \frac{n}{n + N_D} \vec{j}_x \quad \text{und} \quad \vec{j}_{x_{spr}} = \frac{N_D}{n + N_D} \vec{j}_x \tag{4.62}$$

$$\text{mit} \quad \vec{j}_x = \vec{j}_{x_{acc}} + \vec{j}_{x_{spr}} \tag{4.63}$$

Das Abklingverhalten der so aus der Simulation extrahierten Stromkomponenten gibt Abbildung 4.12 wieder.

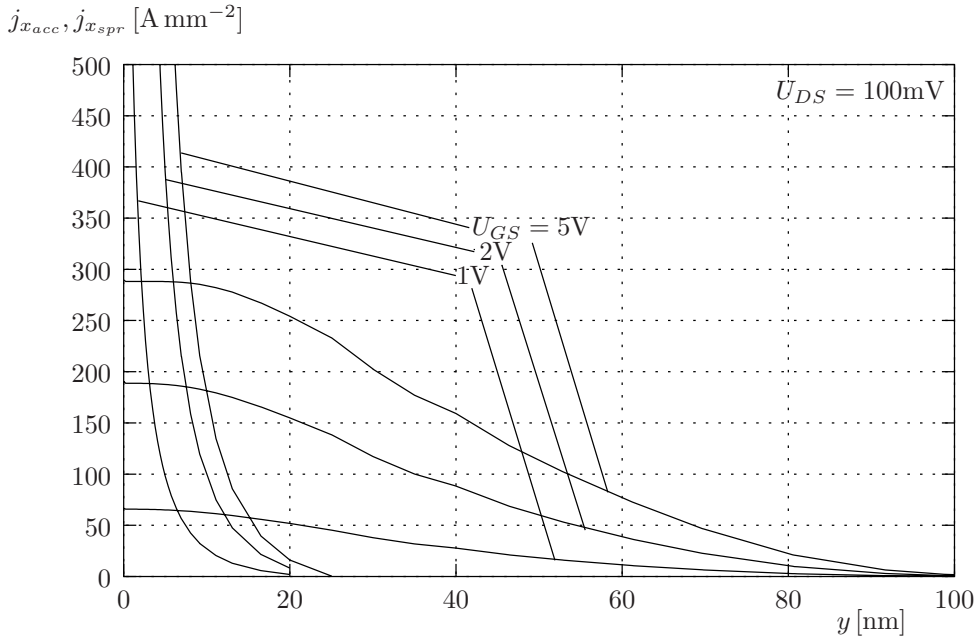


Abbildung 4.12: Vertikales Abklingverhalten des Akkumulations- und Spreading-Stroms in der Mitte des Überlappgebietes

Für die Akkumulationsstromdichte zeigt sich — wie zu erwarten war — das gleiche über-exponentielle Verhalten wie für die Elektronenkonzentration in Abbildung 4.8 (S. 46).

Die Spreading-Stromdichte fällt, auch bei verschiedenen Gate-Spannungen, über eine Tiefe y_{max} von ungefähr 100 nm ab. Der laterale Abstand von der Mitte des Überlappgebietes bis zur Raumladungszone wurde mit $\approx 35\text{ nm}$ bestimmt, was einem Winkel von

$$\alpha \approx \frac{3}{8}\pi \quad (4.64)$$

entspricht. In der Literatur [17] findet man oft einen etwas geringeren Wert $\alpha \approx 1$. Da der Spreading-Strom im Randbereich schon um einige Größenordnungen abgefallen ist, ist eine exakte Bestimmung eines Grenzwinkels auch nicht von großer Bedeutung.

Die geringe Spannungsabhängigkeit der Auffächerung wird besonders deutlich, wenn man die Stromdichte aufintegriert und mit ihrem Gesamtwert normiert. Da die Stromdichte asymptotisch sinkt, sind in Abbildung 4.13 zusätzlich Konfidenzintervalle markiert, aus denen man entnehmen kann, wie tief man integrieren muß, um z. B. 99% des Spreading-Stromes zu erfassen.

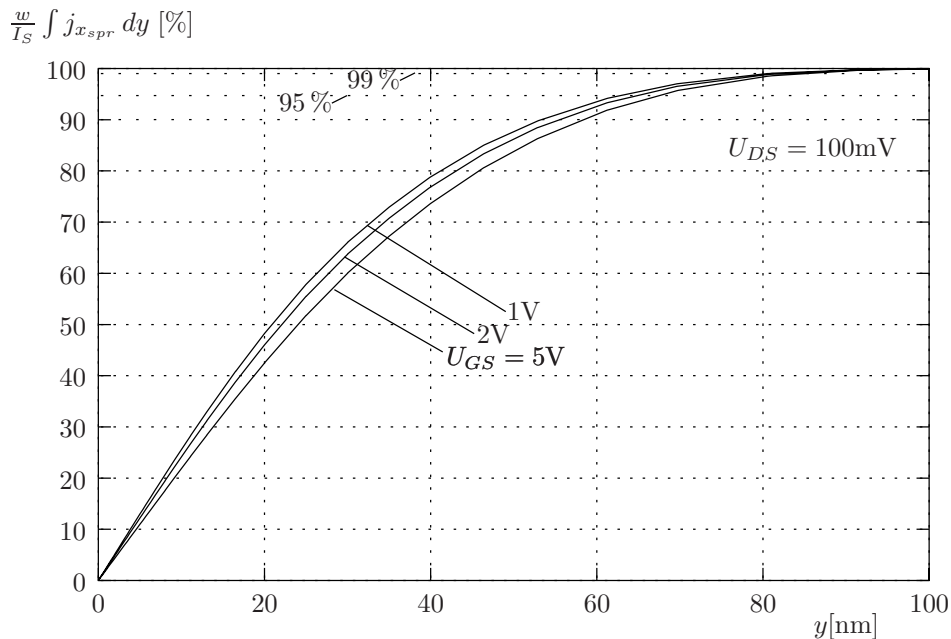


Abbildung 4.13: Auf den Gesamtstrom normiertes Integral über die Spreading-Stromdichte entlang eines vertikalen Schnittes durch die Mitte des Überlappgebiets

Extrahiert man den Spreadingstrom an verschiedenen Stellen des Überlappgebietes, so variiert die maximale Eindringtiefe entsprechend den Strompfade aus Abbildung 4.7.

Mit zunehmender Gate-Source-Spannung, erhöht sich der Anteil des Stromes, der in der Akkumulationsschicht fließt. Die Aufteilung der beiden Komponenten in Abhängigkeit von der Gate-Source-Spannung gibt Abbildung 4.14 wieder. Auch hier wurde auf den Gesamtstrom I_S normiert.

Knapp oberhalb der Einsatzspannung haben beide Stromkomponenten, und damit auch beide Widerstände, gleiche Größe. Selbst bei großen Gate-Spannungen ($U_{DS} \approx 5V$) ist der Spreading-Anteil nicht verschwindend, sondern macht zirka 20% des Gesamtstroms aus.

4.3.5 Parallelschaltung von Akkumulations- und Spreading-Widerstand

Verknüpft man den modellierten Akkumulations- und den Spreading-Widerstand (4.54 und 4.61) am Anfang des Überlappgebiets und beim Eintritt in die Raumladungszone,

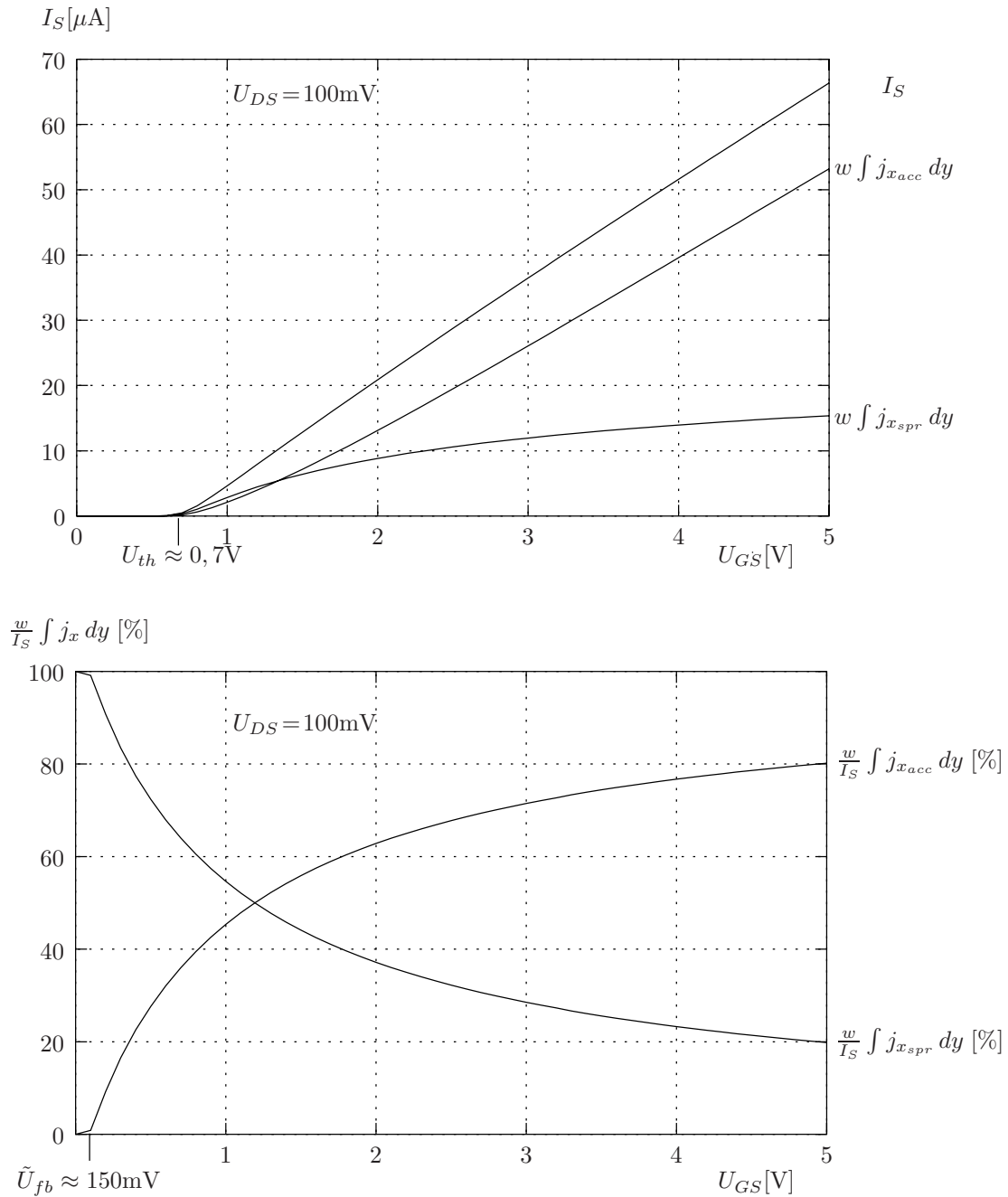


Abbildung 4.14: Aufteilung des Gesamtstroms auf den Akkumulations- und Spreading-Strom

so ergibt sich der Gesamtwiderstand:

$$\tilde{R}_{ov}(U_{GS}) = \left(\frac{1}{R_{acc}(U_{GS})} + \frac{1}{R_{spr}} \right)^{-1}$$

$$\begin{aligned}
&= \left(\frac{w}{\tilde{l}_{ov}} \mu_n C'_{ox} (U_{GS} - \tilde{U}_{fb}) + w \mu_n q \bar{N}_D \tan \alpha \cdot \frac{1}{\ln \frac{\tilde{l}_{ov} \cdot \tan \alpha}{y_{ch}}} \right)^{-1} \\
&= \frac{\tilde{l}_{ov}}{w \mu_n} \cdot \frac{1}{C'_{ox} (U_{GS} - \tilde{U}_{fb}) + q \bar{N}_D \tilde{l}_{ov} \tan \alpha \cdot \left(\ln \frac{\tilde{l}_{ov} \cdot \tan \alpha}{y_{ch}} \right)^{-1}} \quad (4.65)
\end{aligned}$$

Korrekt ist allerdings die Verknüpfung der einzelnen Widerstandsschichten wie in Abbildung 4.11, also eine Integration von:

$$\frac{d\tilde{R}_{ov}(U_{GS})}{dx} = \left(\frac{1}{\frac{dR_{acc}(U_{GS})}{dx}} + \frac{1}{\frac{dR_{spr}}{dx}} \right)^{-1} = \frac{\frac{dR_{acc}(U_{GS})}{dx} \cdot \frac{dR_{spr}}{dx}}{\frac{dR_{acc}(U_{GS})}{dx} + \frac{dR_{spr}}{dx}} \quad (4.66)$$

$$\stackrel{(4.54 \text{ und } 4.61)}{=} \frac{1}{w \mu_n} \cdot \frac{1}{C'_{ox} (U_{GS} - \tilde{U}_{fb}) + q \bar{N}_D \tan \alpha \cdot x} \quad (4.67)$$

Dieser Ansatz hat außerdem den Vorteil, daß dem am Kanalbeginn hohen Spreading-Widerstand ein niedrigerer Akkumulationswiderstand parallelgeschaltet ist. Man kann daher auf die Kanaltiefe y_{ch} verzichten.

Somit folgt für den Überlappwiderstand:

$$\begin{aligned}
\tilde{R}_{ov}(U_{GS}) &= \frac{1}{w \mu_n} \int_{x=0}^{x=\tilde{l}_{ov}} \frac{1}{C'_{ox} (U_{GS} - \tilde{U}_{fb}) + q \bar{N}_D \tan \alpha \cdot x} dx \\
&= \frac{1}{w \mu_n} \cdot \frac{1}{q \bar{N}_D \tan \alpha} \cdot \left[\ln \left(C'_{ox} (U_{GS} - \tilde{U}_{fb}) + q \bar{N}_D \tan \alpha \cdot x \right) \right]_{x=0}^{x=\tilde{l}_{ov}} \\
&= \frac{1}{w \mu_n q \bar{N}_D \tan \alpha} \cdot \ln \left(1 + \frac{q \bar{N}_D \tan \alpha \tilde{l}_{ov}}{C'_{ox} (U_{GS} - \tilde{U}_{fb})} \right) \quad (4.68)
\end{aligned}$$

Die Berechnung der Logarithmusfunktion in einem Schaltungssimulator ist sehr rechenaufwendig. Für kleine Geometrien kan man sie jedoch Taylor-entwickeln:

$$\tilde{R}_{ov}(U_{GS}) = \frac{1}{w \mu_n} \cdot \left(\frac{\tilde{l}_{ov}}{C'_{ox} (U_{GS} - \tilde{U}_{fb})} - \frac{1}{2} \frac{q \bar{N}_D \tan \alpha \tilde{l}_{ov}^2}{C'_{ox}{}^2 (U_{GS} - \tilde{U}_{fb})^2} \right) \quad (4.69)$$

Dies ist ein erstaunliches Ergebnis, stellt doch der erste Term die Beschreibung des Akkumulationswiderstandes dar. Den zweiten Term, verursacht durch den Spreading-Widerstand, kann man so als Korrektur zweiter Ordnung in der Spannung interpretieren.

4.3.6 Raumladungszone

Ohne anliegende Gate-Spannung wird die elektrische Charakteristik der Raumladungszone durch die Kennlinie einer Diode beschrieben [14]:

$$I = I_0 \cdot \left(e^{\frac{q}{m k T} U_{pn}} - 1 \right) \quad (4.70)$$

mit $1 \leq m \leq 2$

I_0 bezeichnet den Rest- oder Sperrstrom der Diode, U_{pn} die an der Diode anliegende Spannung und m den Idealitätsfaktor oder Emissionskoeffizient. Diese ist im Widerstandsbereich des Transistors jedoch gering, wodurch man nach Linearisierung der Exponentialfunktion einen „Widerstand“ der Raumladungszone definieren kann:

$$R_{depl} = \frac{U_{pn}}{I} = \frac{kT}{qI_0} = \frac{\phi_t}{I_0} \quad (4.71)$$

Oftmals wird zur Vereinfachung angenommen, die Ladungsträger passieren die Raumladungszone mit Sättigungsgeschwindigkeit ($v_{sat} = 10^5 \text{ms}^{-1}$) [22].

Bei Anlegen einer positiven Gate-Spannung ändert sich durch die Bildung eines Kanals das Widerstandsverhalten schlagartig. Eine solche gate-gesteuerte Diode, kurz: Gate-Diode, könnte man, wie schon im vorangegangenen Kapitel, durch eine Parallelschaltung von ϕ_t/I_0 und einem Akkumulationswiderstand beschreiben. Letzterer ist aber schon für kleine Gate-Source-Spannungen ($U_{GS} = U_{th}$) dominant, so daß man sich auf ihn beschränken kann (4.54):

$$R_{depl}(U_{GS}) = \frac{x}{w \mu_n C'_{ox} (U_{GS} - \tilde{U}_{fb})} \quad (4.72)$$

Wegen der Intention der Modellbeschreibung, sich auf die geometrischen Maße zu beziehen, muß nur der Teil der Raumladungszonenweite beschrieben werden, der sich source-seitig bis zur metallurgischen Grenze erstreckt. Diese Eindringtiefe wurde bereits im Kapitel 2 behandelt (2.21, 2.22 und 2.29).

$$x_n = \sqrt{\frac{2 \varepsilon_0 \varepsilon_{si}}{q \bar{N}_D \left(1 + \frac{\bar{N}_D}{N_A} \right)}} (U + \phi_i) \quad (4.73)$$

$$\text{mit } \phi_i \stackrel{(2.17)}{=} \phi_t \ln \frac{N_A \bar{N}_D}{n_i^2} \quad (4.74)$$

Ohne anliegende Spannung beträgt sie mit den Daten aus Tabelle 4.1 (S. 44) 17 nm, was gut den für die Extraktion des Streuwinkels verwendeten Wert bestätigt (4.64).

Die an die Raumladungszone gelegte Spannung kann man mit der Bulk-Source-Spannung identifizieren. Somit erhält man:

$$R_{depl}(U_{GS}, U_{BS}) = \frac{1}{w\mu_n C'_{ox} (U_{GS} - \tilde{U}_{fb})} \cdot \sqrt{\frac{2\varepsilon_0\varepsilon_{si}}{q\bar{N}_D \left(1 + \frac{\bar{N}_D}{N_A}\right)}} (-U_{BS} + \phi_i) \quad (4.75)$$

4.3.7 Zusammenfassung des Überlappwiderstandes

Unter Beachtung des in Abbildung (4.7) bezeichneten geometrischen Zusammenhangs

$$l_{ov} = \tilde{l}_{ov} + x_n \quad (4.76)$$

ergibt sich mit (4.69) und (4.72) für den gesamten Widerstand des Überlappgebietes:

$$\begin{aligned} R_{ov}(U_{GS}, U_{BS}) &= \frac{1}{w\mu_n} \cdot \left(\frac{l_{ov} - x_n}{C'_{ox} (U_{GS} - \tilde{U}_{fb})} - \frac{1}{2} \frac{q\bar{N}_D \tan \alpha (l_{ov} - x_n)^2}{C'_{ox}{}^2 (U_{GS} - \tilde{U}_{fb})^2} \right) \\ &\quad + \frac{1}{w\mu_n} \frac{1}{C'_{ox} (U_{GS} - \tilde{U}_{fb})} \cdot x_n \\ &= \frac{1}{w\mu_n} \cdot \left(\frac{l_{ov}}{C'_{ox} (U_{GS} - \tilde{U}_{fb})} - \frac{1}{2} \frac{q\bar{N}_D \tan \alpha (l_{ov} - x_n)^2}{C'_{ox}{}^2 (U_{GS} - \tilde{U}_{fb})^2} \right) \\ &= \frac{1}{w\mu_n C'_{ox} (U_{GS} - \tilde{U}_{fb})} \cdot \left(l_{ov} - \frac{q\bar{N}_D \tan \alpha (l_{ov} - x_n)^2}{2 C'_{ox} (U_{GS} - \tilde{U}_{fb})} \right) \quad (4.77) \end{aligned}$$

$$\text{mit } x_n = \sqrt{\frac{2\varepsilon_0\varepsilon_{si}}{q\bar{N}_D \left(1 + \frac{\bar{N}_D}{N_A}\right)}} (-U_{BS} + \phi_i) \quad (4.78)$$

Zu demselben Ergebnis kommt man natürlich auch, wenn man einen sich über das gesamte Überlappgebiet erstreckenden Akkumulationswiderstand parallel schaltet zu einem Spreading-Widerstand, der mit Beginn der Raumladungszone endet.

Greift man den Potentialabfall zwischen dem sich unterhalb der Gatekante befindlichen Punkt und der metallurgischen Grenze ab und teilt durch den Source-Strom, so erhält man den simulierten Widerstand des Überlappgebietes. Dieser ist in Abbildung 4.15 dem soeben hergeleiteten Modell gegenübergestellt.

Es zeigt sich eine gute Übereinstimmung von Modell und Simulation, insbesondere für hohe Spannungen. Dort liegt die Abweichung unter 6%.

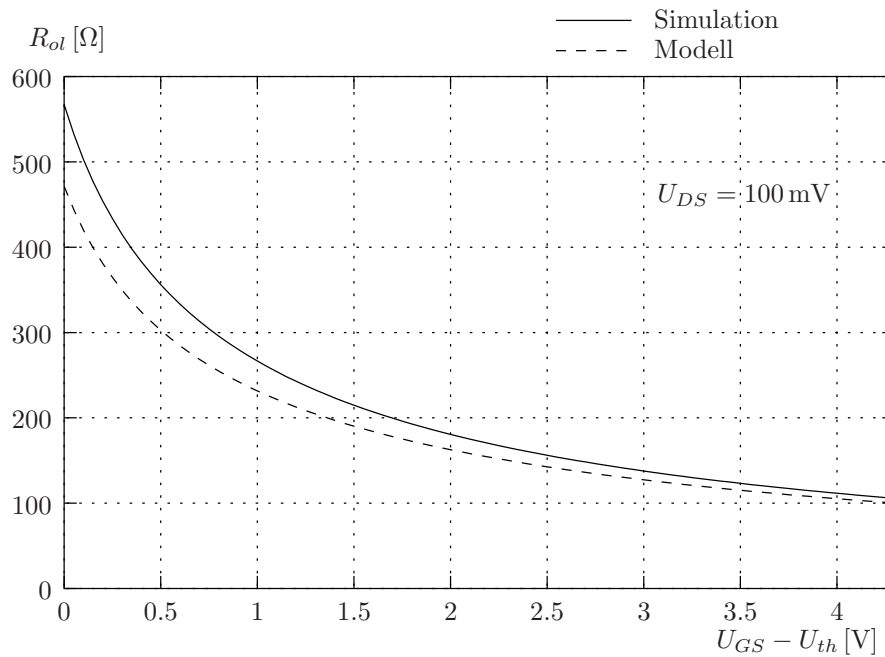


Abbildung 4.15: Vergleich von Simulation und Modell des Überlappwiderstandes

Für Spannungen knapp oberhalb der Einsatzspannung wird das Modell etwas ungenauer. Dies ist darauf zurückzuführen, daß das Profil der Dotierung an Bedeutung gewinnt und mithin die *Charge sheet*-Näherung ungenau wird. Da aber in diesem Arbeitsbereich des Transistors der Kanalwiderstand recht hoch ist, fällt der Fehler, relativ zum Gesamtwiderstand, wenig ins Gewicht.

Abbildung 4.16 zeigt die auf Verteilung des Gesamtwiderstands auf den äußeren und inneren Transistor.

4.3.8 Kontakt- und Schichtwiderstand

Die Beschreibung der Widerstände jenseits der Gatekante bedarf geringerer Sorgfalt, da dort die Dotierung rasch ansteigt, der Widerstand also weniger Bedeutung erlangt.

Die Widerstandsbeschreibung teilt sich in zwei Komponenten auf: einen Kontaktwiderstand und einen Schichtwiderstand.

Der Kontaktwiderstand soll gleichermaßen den Übergang vom Kontaktmaterial zum

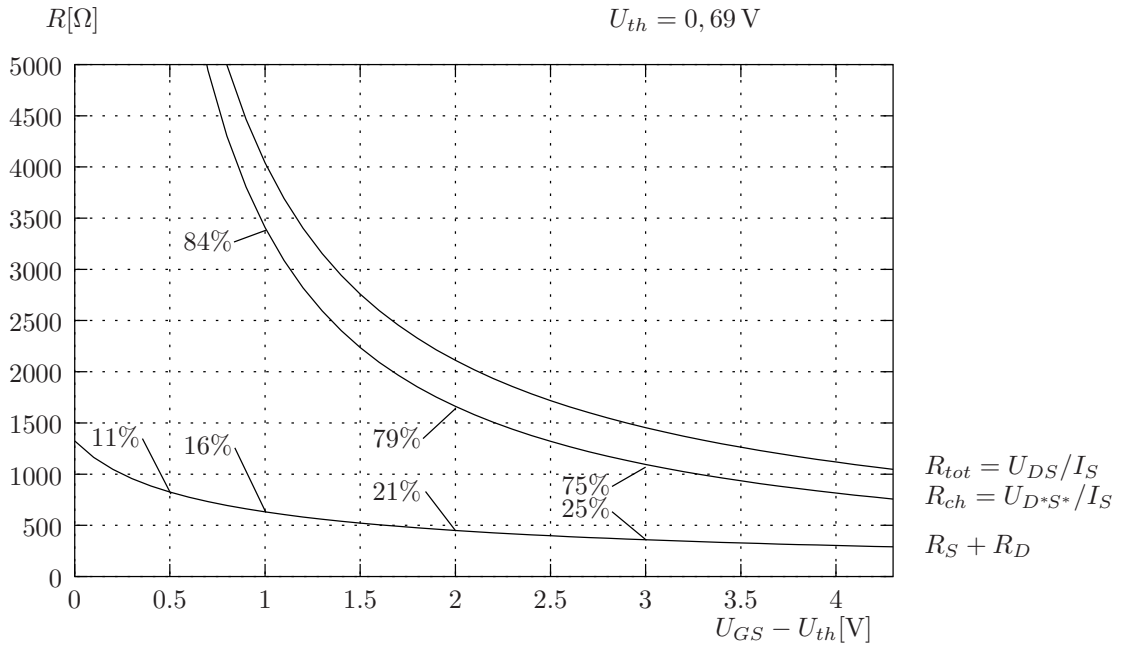


Abbildung 4.16: Aufteilung des Gesamtwiderstands auf den inneren und äußeren Transistor mit $0,5\mu\text{m}$ Kanallänge

hochdotierten Gebiet, als auch den bogenförmigen Verlauf des Stromes unterhalb des Kontaktlochs beinhalten.

Er läßt sich nach [15] folgendermaßen beschreiben:

$$R_{con} = \frac{1}{w} \cdot \sqrt{\frac{\varrho_c}{q\mu_n N_{D^+} y_{sh}}} \cdot \coth\left(\frac{l_{win}}{\sqrt{\varrho_c q\mu_n N_{D^+} y_{sh}}}\right) \quad (4.79)$$

Dabei bezeichnet l_{win} die laterale Länge des Kontaktlochs und ϱ_c den spezifischen Kontaktlochwiderstand in Ωm^2 . Der Strom weitet sich auch jenseits des Überlappgebiets noch ein wenig auf, bis er parallel zur Halbleiteroberfläche verläuft.

Für die Tiefe y_{sh} , innerhalb der sich der Strom bewegt, soll daher mit den Bezeichnungen aus Abbildung 4.7 (S.45) genähert werden:

$$y_{sh} \approx l_{ov} \tan \alpha > \tilde{l}_{ov} \tan \alpha \quad (4.80)$$

Mit dieser vertikalen Ausdehnung folgt für den konstanten Schichtwiderstand, der sich vom Ende des Kontaktlochs bis zum Anfang des Oxid-Spacers erstreckt:

$$R_{sh} = \frac{l_{n^+}}{wq\mu_n y_{sh} N_{D^+}} \quad (4.81)$$

Unterhalb des Spacers sinkt die Dotierung von N_{D^+} auf N_{D^-} . Für diesen Bereich muß

die Dotierung gemittelt werden:

$$R_{spa} = \frac{l_{spa}}{wq\mu_n y_{sh} \bar{N}_{D^+}} \quad (4.82)$$

4.3.8.1 Mittlere Dotierung

In der letzten Gleichung wurde, wie schon bei der Beschreibung des Spreading-Widerstands, eine mittlere Dotierung verwendet.

Die Simulationsergebnisse zeigten eine geringe Abhängigkeit des Source-Widerstands vom vertikalen Dotierungsprofil im Gegensatz zu dessen lateraler Ausprägung. Daher soll die Mittelung auf die x -Richtung beschränkt werden. Mathematisch ist diese durch

$$\bar{N} = \frac{1}{l} \int_{x=0}^{x=l} N(x) dx \quad (4.83)$$

definiert.

Die Source-Dotierung falle innerhalb der Spacer-Länge gaußförmig von der maximalen Dotierung auf die des n^- -Gebiets ab; dann gilt:

$$N_D(x) = N_{D^+} \cdot e^{-\left(\frac{x}{\lambda}\right)^2} \quad (4.84)$$

$$\text{mit } N_D(x=l_{spa}) = N_{D^-} \quad (4.85)$$

Daraus läßt sich die charakteristische Diffusionlänge der Gauß-Funktion bestimmen:

$$\lambda = \frac{l_{spa}}{\sqrt{\ln \frac{N_{D^+}}{N_{D^-}}}} \quad (4.86)$$

Durch Substitution des Exponenten läßt sich das Integral der Mittelung vereinfachen.

$$\bar{N}_D = \frac{1}{l_{spa}} \int_{x=0}^{x=l_{spa}} N_{D^+} \cdot e^{-\left(\frac{x}{\lambda}\right)^2} dx \quad (4.87)$$

$$= \frac{1}{l_{spa}} N_{D^+} \lambda \int_{x=0}^{x=\frac{l_{spa}}{\lambda}} e^{-x^2} dx \quad (4.88)$$

Leider besitzt das endliche Gauß-Integral keine geschlossene Lösung und muß daher zur exakten Bestimmung numerisch berechnet oder einem Tabellenwerk [1] entnommen

werden.

Die obere Grenze

$$x = \frac{l_{spa}}{\lambda} = \sqrt{\ln \frac{N_{D+}}{N_{D-}}} \quad (4.89)$$

variiert jedoch für nicht zu kleine Dotierungsverhältnisse ($N_{D+}/N_{D-} > 10$) nur geringfügig um einen Wert, für den die Gaußsche Glockenkurve asymptotisch ausläuft [20]. Man kann dann die Integration ohne großen Fehler ins Unendliche ausdehnen und erhält:

$$\bar{N}_D = \frac{1}{l_{spa}} N_{D+} \lambda \cdot \frac{\sqrt{\pi}}{2} \stackrel{(4.86)}{=} \frac{\sqrt{\pi}}{2\sqrt{\ln \frac{N_{D+}}{N_{D-}}}} N_{D+} \quad (4.90)$$

Die Ausdiffusion des n^- -Gebiets unter das Gate läßt sich analog behandeln. Man muß jedoch beachten, daß hier die Substratdotierung nicht mehr vernachlässigbar ist und daher die Mittelung über die Netto-Dotierung erfolgen muß:

$$\bar{N}_D = \frac{\sqrt{\pi}}{2\sqrt{\ln \frac{N_{D-}}{N_A}}} N_{D-} - N_A \quad (4.91)$$

Schließlich sei noch angemerkt, daß die Mittelung auch über die reziproke Dotierung erfolgen kann.

$$N^{-1} = \frac{1}{l} \int_{x=0}^{x=l} N^{-1}(x) dx \quad (4.92)$$

Dies entspräche zwar eher der Widerstandsbeschreibung, ist aber unüblich und komplizierter.

Der gesamte Widerstand jenseits der Gate-Kante läßt sich also folgendermaßen beschreiben (4.79, 4.80, 4.81 und 4.82):

$$\begin{aligned} R_{ext} &= R_{con} + R_{sh} + R_{spa} \\ &= \frac{1}{w} \cdot \left(\sqrt{\frac{\varrho_c}{q\mu_n \bar{N}_{D+} y_{sh}}} \cdot \coth \left(\frac{l_{win}}{\sqrt{\varrho_c q\mu_n \bar{N}_{D+} y_{sh}}} \right) + \frac{l_{n^+}}{q\mu_n y_{sh} \bar{N}_{D+}} + \frac{l_{spa}}{q\mu_n y_{sh} \bar{N}_{D+}} \right) \\ &\stackrel{(4.90)}{=} \frac{1}{w} \cdot \left[\sqrt{\frac{\varrho_c}{q\mu_n \bar{N}_{D+} y_{sh}}} \cdot \coth \left(\frac{l_{win}}{\sqrt{\varrho_c q\mu_n \bar{N}_{D+} y_{sh}}} \right) \right] \end{aligned}$$

$$\begin{aligned}
 & + \frac{1}{q\mu_n y_{sh} N_{D^+}} \left(l_{n^+} + l_{spa} \cdot \frac{2}{\sqrt{\pi}} \sqrt{\ln \frac{N_{D^-}}{N_A}} \right) \Big] \\
 = & \frac{1}{wq\mu_n N_{D^+}} \cdot \left[\sqrt{\frac{q\mu_n N_{D^+} \varrho_c}{y_{sh}}} \cdot \coth \left(\frac{l_{win}}{\sqrt{\varrho_c q\mu_n N_{D^+} y_{sh}}} \right) \right. \\
 & \left. + \frac{1}{y_{sh}} \left(l_{n^+} + l_{spa} \cdot \frac{2}{\sqrt{\pi}} \sqrt{\ln \frac{N_{D^-}}{N_A}} \right) \right] \\
 = & \frac{1}{wa} \cdot \left[\sqrt{\frac{a\varrho_c}{y_{sh}}} \cdot \coth \left(\frac{l_{win}}{\sqrt{\varrho_c a y_{sh}}} \right) + \frac{1}{y_{sh}} \left(l_{n^+} + l_{spa} \cdot \frac{2}{\sqrt{\pi}} \sqrt{\ln \frac{N_{D^-}}{N_A}} \right) \right] \quad (4.93)
 \end{aligned}$$

$$\text{mit } a = q\mu_n N_{D^+} \quad (4.94)$$

4.3.8.2 Bildladungsmethode

Bei genauerer Betrachtung (Abbildung 4.17) ist dieser Widerstand jedoch nicht konstant, sondern sinkt oberhalb der Einsatzspannung mit zunehmender Gate-Spannung.

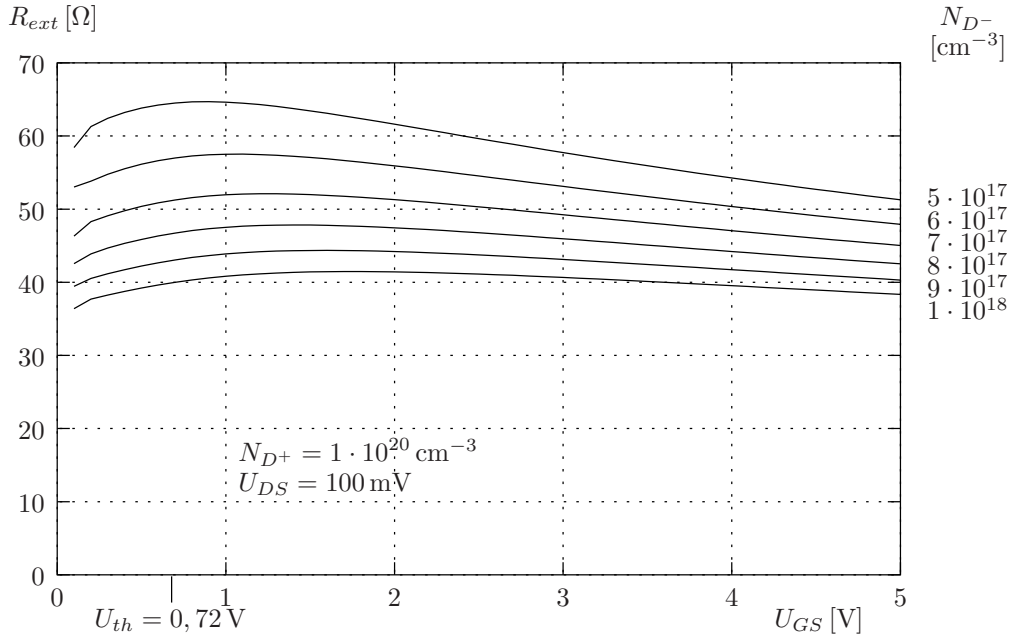


Abbildung 4.17: Widerstandsverhalten jenseits der Gate-Kante in Abhängigkeit von der Gate-Source-Spannung

Dies liegt darin begründet, daß das Gate-Potential nicht nur, wie bisher angenommen,

ein vertikales elektrisches Feld verursacht, sondern auch horizontale Komponenten. Zur Abschätzung dieses Effekts sei die Methode der Bildladungen herangezogen. Dazu betrachtet man einen langen geraden dünnen Draht, der gleichmäßig geladen ist (κ : Ladung Q pro Längeneinheit z) und sich im Abstand Δy parallel zu einer geerdeten Äquipotentialfläche befindet. Die Feldlinien müssen senkrecht zu dieser Fläche stehen, was man durch einen Bilddraht mit entgegengesetzter Ladung ($-\kappa$) erreicht, der symmetrisch unterhalb der Äquipotentialfläche verläuft (Abbildung 4.18).

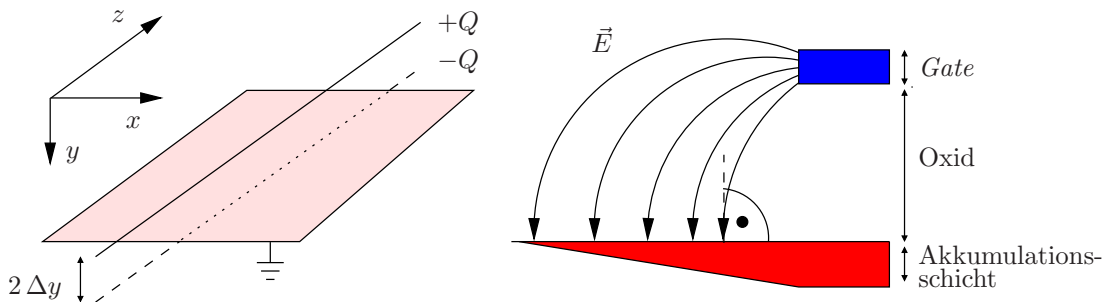


Abbildung 4.18: Bildladungsmethode als Modell für die laterale Verminderung der Akkumulationsladung jenseits der Gate-Kante

Für das Gesamtpotential der beiden Drähte ergibt sich [18]

$$\psi(x, y) = \frac{\kappa}{2\pi\epsilon_0} \ln \sqrt{\frac{x^2 + (y + \Delta y)^2}{x^2 + (y - \Delta y)^2}} \quad (4.95)$$

und somit eine auf der Platte induzierte Flächenladungsdichte von:

$$Q'(x) = -\epsilon_0 \left. \frac{\partial \psi}{\partial y} \right|_{y=0} = -\frac{\kappa}{\pi} \frac{\Delta y}{\Delta y^2 + x^2} \quad (4.96)$$

Beim Transistor wird diese Ladung durch die sogenannte *Fringing-Kapazität* beeinflusst.

Sie setzt sich zusammen (Abbildung 4.19) aus der Kapazität der Gate-Kante (C_{side}) und der Gate-Oberseite (C_{top}).

Um sie zu messen, verarmt man mit einer negativen Gate-Source-Spannung das Überlappgebiet. Analytisch kann sie nach [10] mit

$$C_{fri} = C_{side} + C_{top} = \epsilon_0 \epsilon_{ox} w \cdot \ln \frac{d_{ox} + d_G + \frac{1}{2} l_{poly}}{d_{ox}} \quad (4.97)$$

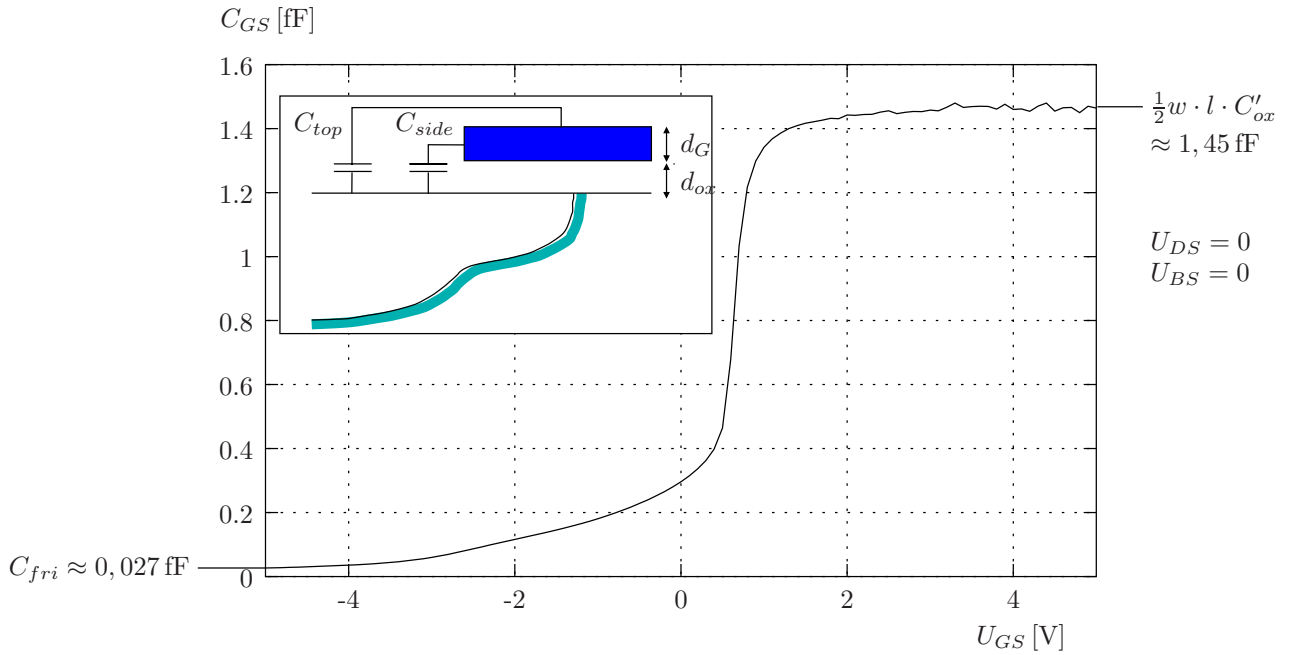


Abbildung 4.19: Fringing-Kapazität zur Erklärung der Abnahme des externen Widerstands mit der Gate-Spannung

angesetzt werden, wobei die Höhe d_G der Gate-Kante eingeführt wird. Ist die Gate-Kante sehr dünn, so kann sie verglichen werden mit dem geladenen Draht ($\Delta y \approx d_G$, $\kappa = Q/W$).

Der Widerstand der induzierten Akkumulationsschicht lässt sich dann mit

$$\begin{aligned}
 R_{acc,n^+} &\stackrel{(4.42)}{=} \frac{1}{w\mu_n} \int_{x=0}^{x=l_{spa}+l_{sh}} \frac{1}{|Q'|} dx \stackrel{(4.96)}{=} \frac{1}{w\mu_n} \frac{\pi}{\kappa d_G} \int_{x=0}^{x=l_{spa}+l_{sh}} d_G^2 + x^2 dx \\
 &\stackrel{(Q=w\kappa)}{=} \frac{\pi}{\mu_n Q d_G} \left[d_G^2 (l_{spa} + l_{sh}) + \frac{1}{3} (l_{spa} + l_{sh})^3 \right] \quad (4.98)
 \end{aligned}$$

und

$$Q = C_{fri} (U_{GS} - U_{fb,n^+}) \quad (4.99)$$

berechnen:

$$\begin{aligned}
 R_{acc,n^+}(U_{GS}) &= \frac{\pi}{\mu_n (C_{fri} (U_{GS} - U_{fb,n^+})) d_G} \cdot \left[d_G^2 (l_{spa} + l_{sh}) + \frac{1}{3} (l_{spa} + l_{sh})^3 \right] \\
 &\stackrel{(4.97)}{=} \frac{\pi}{w\mu_n \varepsilon_0 \varepsilon_{ox} \cdot \ln \frac{d_{ox} + d_G + \frac{1}{2} l_{poly}}{d_{ox}} (U_{GS} - U_{fb,n^+})}
 \end{aligned}$$

$$(4.97) \quad \frac{\pi}{w\mu_n\epsilon_0\epsilon_{ox} \cdot (U_{GS} - U_{fb,n+})} \cdot \left[d_G(l_{spa} + l_{sh}) + \frac{1}{3d_G}(l_{spa} + l_{sh})^3 \right] \cdot \frac{\left[d_G(l_{spa} + l_{sh}) + \frac{1}{3d_G}(l_{spa} + l_{sh})^3 \right]}{\ln \frac{d_{ox} + d_G + \frac{1}{2}l_{poly}}{d_{ox}}} \quad (4.100)$$

Die beiden letzten Terme sind reine Geometriefaktoren. Der erste beschreibt, wie gewohnt, das reziproke Verhalten von Akkumulationswiderstand und Spannung.

Der so gewonnene Akkumulationswiderstand lässt sich den Schichtwiderständen parallel schalten:

$$R_{ext}(U_{GS}) = R_{con} + \left(\frac{1}{R_{acc,n+}(U_{GS})} + \frac{1}{R_{sh} + R_{spa}} \right)^{-1} \quad (4.101)$$

Für die Verwendung in einem Schaltungssimulator ist dieser Ansatz jedoch kaum der Mühe wert, insbesondere wenn man sich den geringen Anteil dieses Widerstands am Gesamtwiderstand des Source-Gebietes vor Augen führt:

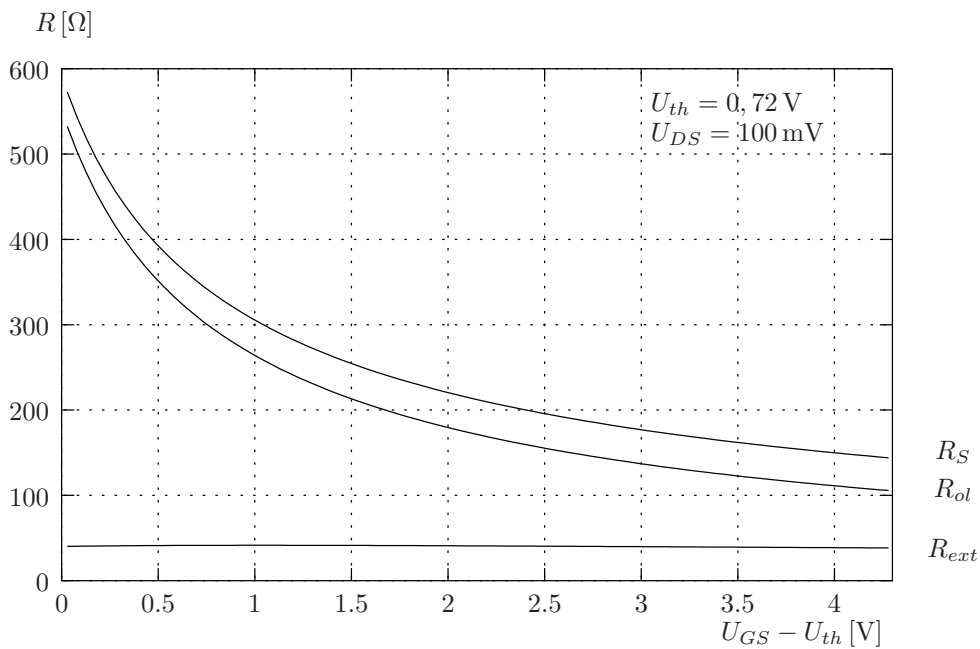


Abbildung 4.20: Vergleich von externem Widerstand, Überlapp- und Gesamtwiderstand der Source

4.3.9 Vergleich mit bestehenden Modellen

Abschließend soll nun das entwickelte Modell mit bestehenden Modellen verglichen werden.

In das Transistormodell MOS C5 der SIEMENS AG finden die äußeren Widerstände lediglich als konstante Terme Einfluß [11], deren Werte den Messungen angepaßt werden müssen:

$$R_S = rsw \quad R_D = rdw \quad (4.102)$$

Mit ihnen wird die am Kanal anliegende Spannung $U_{D^*S^*}$ ermittelt.

Im Transistormodell BSIM3 v3 wird die Abhängigkeit der parasitären Widerstände von der Gate-Spannung linear beschrieben [2]:

$$R_S + R_D = \frac{1}{w} rds w \left[1 + prwg \cdot U_{GS} + prwb \left(\sqrt{\phi_s - U_{BS}} - \sqrt{\phi_s} \right) \right] \quad (4.103)$$

Die Faktoren $rds w$, $prwg$ und $prwb$ sind konstant und müssen durch Parameterextraktion an Messungen angepaßt werden. Die dominante Abhängigkeit von der Gate-Spannung über den Faktor $prwg$ wurde erstmals in der im Juli diesen Jahres veröffentlichten Version 3 berücksichtigt. Im Gegensatz zu MOS C5 wird der Einfluß der äußeren Widerstände auf den Strom lediglich genähert:

$$I_D = \frac{U_{DS}}{R_{ch} + R_S + R_D} = \frac{U_{DS}/R_{ch}}{1 + (R_S + R_D)/R_{ch}} \approx \frac{I_D^0}{1 + (R_S + R_D) \cdot \frac{I_D^0}{U_{DS}}} \quad (4.104)$$

Mit I_D^0 wird der Strom ohne Berücksichtigung der äußeren Widerstände bezeichnet [4]. Als problematisch erweist sich die Parameterwahl: Der annähernd hyperbolische Verlauf des Widerstands mit der Gate-Spannung wird im Zustand starker Inversion, also bei hohen Spannungen, linearisiert und auf $rds w$ extrapoliert; der Faktor $prwg$ ist somit negativ. Außerdem ist es notwendig, die Widerstandsbeschreibung zur Vermeidung negativer Widerstände zu verschleifen.

Um den Einfluß des neuen Widerstandsmodells auf das Kennlinienverhalten mit der soeben vorgestellten linearen Beschreibung zu vergleichen, wurde das neuentwickelte Gleichungssystem in BSIM3 v3 implementiert. Als Testumgebung diente der Schaltungssimulator SABER, mit dem verschiedene Eingangskennlinien berechnet wurden. Abbildung 4.21 zeigt sowohl die Strom-Spannungs-Abhängigkeit, als auch die relative Abweichung von der originalen BSIM3 v3-Beschreibung für verschiedene Parametersätze zum neuentwickelten Modell.

Für den gewählten $0,25\ \mu\text{m}$ -Transistor differierten die Werte bis zu 12%. Dies bestätigt die Notwendigkeit einer genauen Widerstandsbeschreibung für immer kleiner werdende Transistorgeometrien.

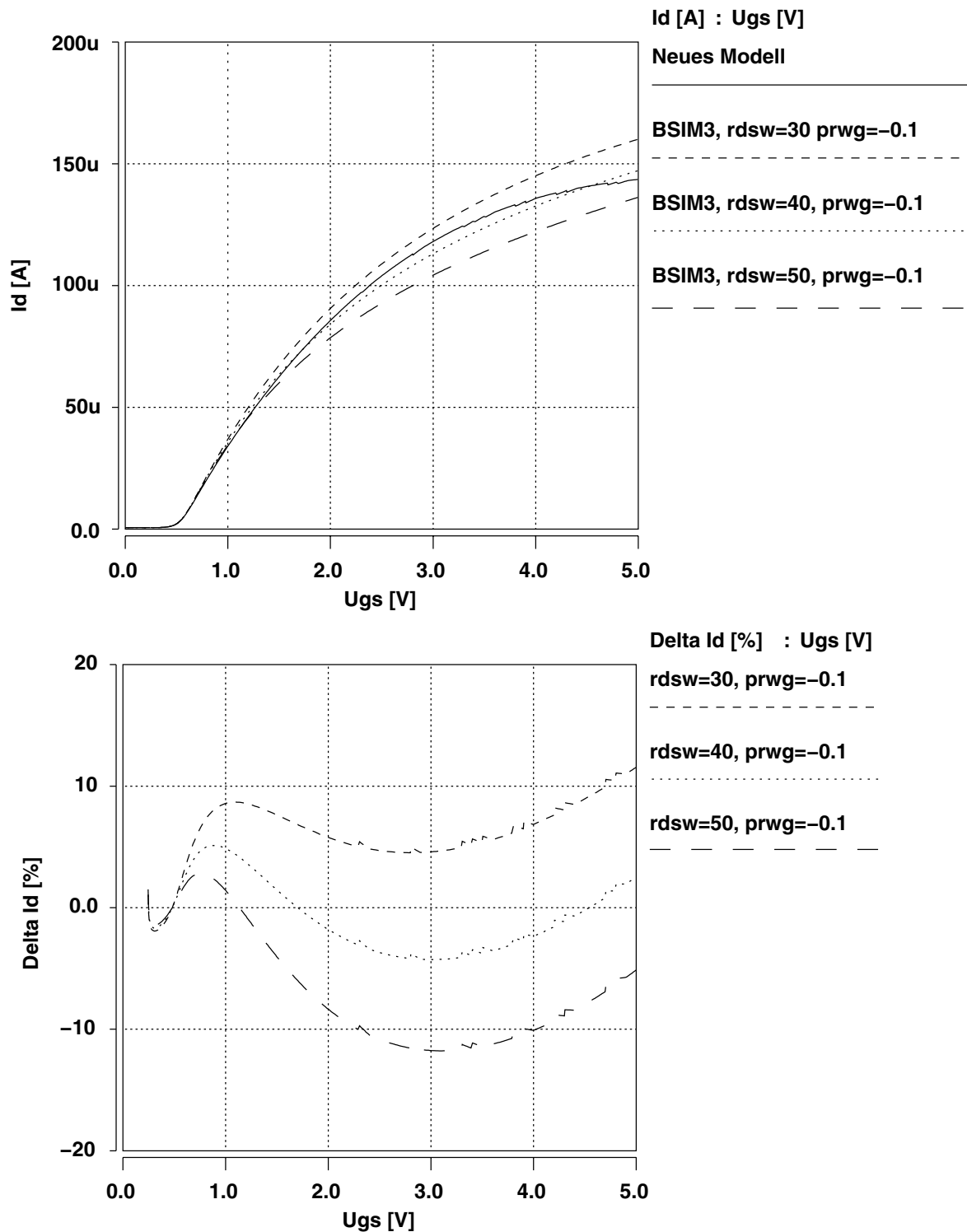


Abbildung 4.21: SABER-Simulation der Eingangskennlinie eines $0,25\ \mu\text{m}$ -Transistors für $U_{DS}=100\ \text{mV}$

oben: Drain-Strom für verschiedene Parameter im BSIM3 v3-Widerstandsmodell und nach der Implementierung des neuen Modells
 unten: relative Abweichung der bestehenden Beschreibung zum neuen Modell

Kapitel 5

Zusammenfassung

In dieser Arbeit werden MOS-Transistoren mit *Lightly Doped Drain*-Gebieten untersucht. Diese finden vor allem in Submikrometer-Transistoren Verwendung.

Simulationen zeigten eine um bis zu 12% verminderte Stromergiebigkeit dieser Transistoren im Vergleich zu konventionellen HDD-Transistoren.

Die Analyse der Dotierprofile erlaubte eine kritische Bewertung des LDD-Konzepts. Dadurch konnte eine vielfach veröffentlichte Erklärung der Wirkungsweise von LDD-Transistoren erweitert werden, indem sich belegen ließ, daß eine eindimensionale Betrachtung, insbesondere für dünne Gate-Oxide unzureichend ist.

Es zeigte sich eine Verschiebung der Bereiche höchster Feldstärke in das Source- und Drain-Gebiet, verbunden mit einer Reduzierung der maximalen Feldstärke im Halbleiter. Folglich sinkt die Generationsrate von Ladungsträgern durch Stoßionisation im Sättigungsbereich und dadurch die Degradationsgeschwindigkeit des Transistors ab. Ferner ergaben Simulationen, daß die lokale Verteilung der Elektronen in der Akkumulationsschicht stärker abfällt als in der Inversionsschicht des Kanals.

Mit Ausnahme der Messungen, der SABER-Simulationen sowie Abbildung 2.4 wurden alle Kurvenverläufe dieser Arbeit mit dem Device-Simulator MEDICI (TMA) erstellt.

Der wesentliche Aspekt dieser Arbeit bestand in der Beschreibung der äußeren Widerstände, um die dargelegten Modellvorstellungen für den MOS-Transistor auf LDD-Strukturen zu erweitern.

Dazu wurde ein neues Modell entwickelt. Es ermöglicht, die für Schaltungssimulatoren wichtige innere Kanalspannung mit höherer Genauigkeit als bislang möglich zu extrahieren. Zudem läßt sich nunmehr auf die definitorische Größe „effektive Kanallänge“

verzichten und diese durch den geometrischen Abstand der metallurgischen Übergänge ersetzen. Die Verteilung des Stromes auf den Akkumulations- und den Spreading-Anteil konnte separiert werden.

Die bestehende Modellvorstellung der Akkumulation von Ladungsträgern im inaktiven Bereich neben der Gate-Kante durch Fringing-Kapazitäten wurde mit einer Bildladungsmethode erweitert, um die nach außen abnehmende Verteilung der Ladungsträger zu beschreiben. Dies ermöglicht erstmalig eine Beschreibung der spannungsabhängigen Widerstände auch im Bereich jenseits der Gate-Kante.

Messungen an Teststrukturen bestätigten die Reduzierung der äußeren Widerstände mit steigender Gate-Spannung.

Im Gegensatz zu allen bisher bekannten Modellen kann auf das Anpassen von Effektivgrößen verzichtet werden, da sich das neue Modell lediglich auf meßbare physikalische Größen bezieht. Wegen der Analogie der Überlappgebiete zum Depletion-Transistor, der häufig als spannungsabhängiger Widerstand eingesetzt wird, sollte für dessen Modellierung eine Übertragung des Widerstandsmodells in einigen Arbeitsbereichen möglich sein.

Die Anzahl der in Schaltungsmodellen benötigten Parameter steigt mit der Anzahl der erfaßten physikalischen Effekte sowie der angestrebten Genauigkeit. Die Gate-Spannungs-Abhängigkeit nach dem neuen Modell stimmt mit den MEDICI-Simulationsdaten im Rahmen von 10 % überein. Die Abhängigkeit des Widerstandes von der Substratspannung wird ebenso gut wiedergegeben. Das entwickelte Modell benötigt allerdings außer den geometrischen Daten keine Parameter. Zudem ist eine Anpassung an die Anforderungen der Schaltungssimulation leicht möglich. So kann z.B. die Beschreibung des Spreading-Stromes für hohe Gate-Spannungen erheblich reduziert werden.

Schließlich wurde das entwickelte Modell mit bestehenden Modellansätzen verglichen. Als Testumgebung diente das weitverbreitete Transistormodell BSIM3 v3 im Schaltungssimulator SABER. Die ursprüngliche Beschreibung der parasitären Widerstände differierte von der neuentwickelten, je nach Wahl der Parameter, für einen $0,25 \mu\text{m}$ -Transistor um bis zu 12 %.

Dies bestätigte die Notwendigkeit einer genauen Kenntnis der parasitären Widerstände für kleine Transistorgeometrien. Die Ergebnisse dieser Arbeit werden daher im Zuge der weiteren Miniaturisierung integrierter Schaltungen noch an Bedeutung hinzugewinnen.

Liste der verwendeten Formelzeichen

Physikalische Konstanten

Größe	Bedeutung	Zahlenwert
k	BOLTZMANN-Konstante	$1,38 \cdot 10^{-23} \text{JK}^{-1}$
q	elektrische Elementarladung	$1,602 \cdot 10^{-19} \text{C}$
ε_0	Dielektrizitätskonstante des Vakuums	$8,854 \cdot 10^{-12} \text{AsV}^{-1}\text{m}^{-1}$
ε_{si}	relative Dielektrizitätskonstante von Silizium	11,8
ε_{ox}	relative Dielektrizitätskonstante von Siliziumdioxid	3,9

Physikalische Größen

Größe	Bedeutung	Einheit
A	allgemeine Flächenbezeichnung	m^2
C_{GS}	Gate-Source-Kapazität	F
C'_{ox}	flächenbezogene Oxidkapazität	Fm^{-2}
C_{fri}	Fringing-Kapazität	F
C_{side}	Kapazität zwischen Gate-Kante und Source	F
C_{top}	Kapazität zwischen Gate-Oberseite und Source	F
D_n	Diffusionskonstante der Elektronen	m^2s^{-1}
D_p	Diffusionskonstante der Löcher	m^2s^{-1}
d_G	Höhe der Gate-Kante	m

d_{ox}	Dicke des Gate-Oxids	m
E	elektrische Feldstärke	Vm^{-1}
E_F	FERMI-Energie	eV
E_F	Intrinsic-Niveau	eV
E_c	Energie des Leitungsbands	eV
E_{crit}	kritische Feldstärke für Lawinendurchbruch	Vm^{-1}
E_g	Bandabstand	eV
E_v	Energie des Valenzbands	eV
G	Generationsrate durch Stoßionisation	$m^{-3}s^{-1}$
I	allgemeine Strombezeichnung	A
I_B	Substratstrom	A
I_S	Strom durch die Source	A
I_0	Rest- oder Sperrstrom der Diode	A
I_{sat}	Sättigungsstrom	A
j_n	Elektronenstromdichte	Am^{-3}
j_p	Löcherstromdichte	Am^{-3}
l	Kanallänge	m
l_{n+}	Abstand von Kontaktloch bis Oxid-Spacer	m
l_{ov}	Weite der Unterdiffusion der n^- -Dotierung	m
l_{poly}	Länge des Poly-Gates	m
l_{spa}	Länge des Oxid-Spacers	m
l_{win}	Länge des Kontaktlochs	m
N_A	Dichte der Akzeptoratome	m^{-3}
N_A^-	Dichte der ionisierten Akzeptoratome	m^{-3}
N_D	Dichte der Donatoratome	m^{-3}
\bar{N}_D	mittlere Dichte der Donatoratome	m^{-3}
N_D^+	Dichte der ionisierten Donatoratome	m^{-3}
N_{D^+}	Dichte der Donatoratome im n^+ -Gebiets	m^{-3}
N_{D^-}	Dichte der Donatoratome im n^- -Gebiets	m^{-3}
N_{Gate}	Dichte der Donatoratome im Polysilizium-Gate	m^{-3}
N_c	Effektive Zustandsdichte im Leitungsband	m^{-3}
N_v	Effektive Zustandsdichte im Valenzband	m^{-3}
n	Elektronendichte	m^{-3}
n'	Überschuß-Elektronendichte	m^{-3}
n_i	Intrinsic-Dichte	m^{-3}
p	Löcherdichte	m^{-3}

$prwb$	BSIM3 v3-Parameter	Ω
$prwg$	BSIM3 v3-Parameter	Ω
Q	allgemeine Ladungsbezeichnung	As
R_D	Drain-Widerstand	Ω
R_S	Source-Widerstand	Ω
R_{acc}	Widerstand der Akkumulationsschicht	Ω
R_{acc,n^+}	externer Akkumulationswiderstand	Ω
R_{ch}	Kanalwiderstand	Ω
R_{con}	Kontaktwiderstand	Ω
R_{depl}	Widerstand der Raumladungszone	Ω
R_{ov}	Widerstand des Überlappgebiets	Ω
R_{ext}	Widerstand jenseits des Überlappgebiets	Ω
R_{sh}	Schichtwiderstand von Kontaktloch bis Oxid-Spacer	Ω
R_{spa}	Schichtwiderstand unter dem Oxid-Spacer	Ω
R_{spr}	Spreading-Widerstand	Ω
R_{tot}	Gesamtwiderstand des Transistors	Ω
rdw	MOS C5-Parameter	Ω
rsw	MOS C5-Parameter	Ω
$rdsw$	BSIM3 v3-Parameter	Ω
T	Temperatur	K
U	allgemeine Spannungsbezeichnung	V
U_{BS}	Bulk-Source-Spannung	V
U_{DS}	Drain-Source-Spannung	V
$U_{D^*S^*}$	innere Drain-Source-Spannung	V
$U_{DS_{sat}}$	Drain-Source-Sättigungsspannung	V
U_{GB}	Gate-Bulk-Spannung	V
U_{GS}	Gate-Source-Spannung	V
U_{GS^*}	innere Gate-Source-Spannung	V
U_{fb}	Flachbandspannung	V
U_{fb,n^+}	Flachbandspannung jenseits des Überlappgebiets	V
\tilde{U}_{fb}	Flachbandspannung des Überlappgebiets	V
U_{pn}	Diodenspannung	V
U_{th}	Einsatzspannung des Transistors	V
v_n	Driftgeschwindigkeit der Elektronen	ms^{-1}
v_p	Driftgeschwindigkeit der Löcher	ms^{-1}
v_{sat}	Sättigungsgeschwindigkeit der Elektronen	ms^{-1}

w	Kanalweite	m
x_n	Weite der Raumladungszone in n-Gebiet	m
x_p	Weite der Raumladungszone in p-Gebiet	m
y_{ch}	Kanaltiefe	m
y_{sh}	Tiefe des Schichtwiderstands unter der Source	m
α	Aufweitungswinkel des Stromflusses	rad
α_n	Ionisierungsrate für Elektronen	m^{-1}
α_p	Ionisierungsrate für Löcher	m^{-1}
δ	Linearisierungsfaktor der Inversionsschichtladung	1
κ	Ladung pro Längeneinheit	Asm^{-1}
λ	charakteristische Länge der Ausdiffusion	m
μ	Beweglichkeit der freien Ladungsträger	$\text{m}^2\text{V}^{-1}\text{s}^{-1}$
μ_n	Elektronenbeweglichkeit	$\text{m}^2\text{V}^{-1}\text{s}^{-1}$
μ_p	Löcherbeweglichkeit	$\text{m}^2\text{V}^{-1}\text{s}^{-1}$
ω	Weite der Raumladungszone	m
ϕ_F	Fermispannung	V
ϕ_c	Kontaktspannung	V
ϕ_i	Diffusionsspannung des pn -Übergangs	V
ϕ_{ox}	Spannungsabfall über das Gate-Oxid	V
ϕ_s	Oberflächenpotential	V
ϕ_t	Thermospannung	V
ψ	elektrostatiches Potential	V
ϱ	makroskopische Ladungsdichte	Asm^{-3}
ϱ_c	spezifischer Kontaktlochwiderstand	Ωm^2
σ	Leitfähigkeit	$\Omega^{-1}\text{m}^{-1}$

Abbildungsverzeichnis

1.1	Vergleich zwischen Kanal- und externem Widerstand für verschiedene Kanallängen	2
2.1	MOS-Feldeffekt-Transistor	4
2.2	Herstellung eines MOSFETs mit <i>Lightly Doped Drain</i>	6
2.3	Simulierte Eingangskennlinien eines konventionellen HDD-Transistors und eines LDD-Transistors	7
2.4	Analytische Abhängigkeit der maximalen Feldstärke am pn -Übergang in Abhängigkeit von der Donatorenkonzentration	13
2.5	Verlauf der Feldstärke am pn^-n^+ -Übergang im Vergleich zum pn -Übergang	15
2.6	Elektrische Feldstärke und Stromverlauf im Drain-Gebiet	17
2.7	Laterale Komponente der Feldstärke an der Si-SiO ₂ -Halbleiteroberfläche	18
2.8	Maximale laterale Feldstärkekomponente an der Halbleiteroberfläche in Abhängigkeit von der Oxiddicke	19
2.9	Stoßionisation im Drain-Gebiet für einen Transistor in Sättigung	21
2.10	Durch Stoßionisation im Drain-Gebiet verursachter Substratstrom . . .	22
3.1	Die lokale Verteilung der Inversionsschichtladung in der Mitte des Kanals für verschiedene Gate-Substrat-Spannungen	24
3.2	Das Oberflächenpotential im Kanalbereich in Abhängigkeit von der Gate-Bulk-Spannung	26

3.3	Vergleich zwischen den Standard-Modellgleichungen und MEDICI-Simulationen für einen langen ($l = 5 \mu\text{m}$) und einen kurzen ($l = 0,8 \mu\text{m}$) Transistor	31
4.1	Aufteilung des LDD-MOS-Transistors in einen internen und einen externen Transistor	33
4.2	Laterale Elektronenverteilung und Dotierungsprofil entlang der Halbleiteroberfläche	35
4.3	Symmetrischer Verlauf des Stroms im Widerstandsbereich und drainseitige Stromablösung von der Oberfläche im Sättigungsbereich	36
4.4	Schnittgeradenmethode zur Bestimmung der parasitären Widerstände mit Transistoren verschiedener Gate-Länge	38
4.5	Änderung der effektiven Kanallänge und $R_S + R_D$ in Abhängigkeit von der Gate-Source-Spannung	40
4.6	Flußdiagramm zur Extraktion von $R_S + R_D$	42
4.7	Strompfade im Source-Gebiet für einen Transistor im Widerstandsbereich und zur Modellierung verwendete Widerstandsaufteilung	45
4.8	Elektronenakkumulation an der Halbleiteroberfläche des Überlappgebiets für verschiedene Gate-Source-Spannungen	46
4.9	Hyperbolische Abnahme des Akkumulationswiderstandes mit der Gate-Source-Spannung und Vergleich mit dem simulierten Überlappwiderstand	52
4.10	Aufintegrierte Verteilung der Überschusselektronen für einen vertikalen Schnitt im Unterdiffusionsgebiet	53
4.11	Modell für den aufgefächerten Spreading-Strom	54
4.12	Abklingverhalten des Akkumulations- und Spreading-Stroms	56
4.13	Auf den Gesamtstrom normiertes Integral über die Spreading-Stromdichte entlang eines vertikalen Schnittes durch die Mitte des Überlappgebiets	57

4.14 Aufteilung des Gesamtstroms auf den Akkumulations- und Spreading-Strom	58
4.15 Vergleich von Simulation und Modell des Überlappwiderstandes	62
4.16 Aufteilung des Gesamtwiderstands auf den inneren und äußeren Transistor mit $0,5\mu\text{m}$ Kanallänge	63
4.17 Widerstandsverhalten jenseits der Gate-Kante in Abhängigkeit von der Gate-Source-Spannung	66
4.18 Bildladungsmethode als Modell für die laterale Verminderung der Akkumulationsladung jenseits der Gate-Kante	67
4.19 Fringing-Kapazität zur Erklärung der Abnahme des externen Widerstands mit der Gate-Spannung	68
4.20 Vergleich von externem Widerstand, Überlapp- und Gesamtwiderstand der Source	69
4.21 SABER-Simulation der Eingangskennlinie eines $0,25\mu\text{m}$ -Transistors für $U_{DS}=100\text{ mV}$ nach der Implementierung des neuen Modells in BSIM3 v3	72

Literaturverzeichnis

- [1] I. N. Bronstein, K. A. Semendjajew: *Taschenbuch der Mathematik*; B. G. Teubner Verlagsgesellschaft Stuttgart Leipzig 1991, S.19f
- [2] *BSIM3 Version 3.0 Manual*; Department of Electrical Engineering and Computer Science Californien, USA 1997
- [3] A. G. Chynoweth: *Ionization Rates for Electrons and Holes in Silicon*; Physical Review 109 1958, pp.1537-1540
- [4] T. Gneiting: *Simulation und Modellierung von Deep Submicron MOS Transistoren mit dem BSIM3v3 Modell*; Hewlett-Packard Schulungszentrum Taufkirchen; September 1997
- [5] L. Göhler: *Thyristormodellierung*; Dissertation am Lehrstuhl Elektronik der Universität der Bundeswehr München 1997
- [6] K. Hoffmann: *VLSI-Entwurf: Modelle und Schaltungen*; R. Oldenbourg Verlag; München Wien 1990
- [7] G. J. Hu, C. Chang und Y. Chia: *Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's*; IEEE Transactions on Electron Devices 34 1994; pp.2469-2477
- [8] J. Jackson: *Klassische Elektrodynamik*; de Gruyter; Berlin 1985
- [9] Y. Jean und C. Wu: *A New Extraction Algorithm for the Metallurgical Channel Length of Conventional and LDD MOSFET's*; IEEE Transactions On Electron Devices 43 1996; pp.946-953
- [10] P. Klein: *A Consistent Parameter Extraction Method for Deep Submicron MOS-FETs*; ESSDERC Stuttgart 1997

- [11] B. Lemaître: *SIEMENS MOSC5 Transistor Model*; SIEMENS AG, Semiconductor Group, CAD Department; München 1992
- [12] C. L. Lou, W. K. Chim, D. S. H. Chan und Y. Pan: *A New DC Drain-Current-Conductance Method (DCCM) for the Characterization of Effective Mobility (μ_{eff}) and Series Resistances (R_s, R_d) of fresh and Hot-Carrier Stressed Graded Junction MOSFET's*; IEEE Electron Device Letters 18 1997; pp.327-329
- [13] *TMA MEDICI, Two-Dimensional Device Simulation Program, Version 2.1*; Technology Modeling Associates Inc., Palo Alto, Kalifornien, USA 1995
- [14] R. Müller: *Bauelemente der Halbleiter-Elektronik*; Springer-Verlag Berlin Heidelberg New York London Paris Tokyo 1987; S.19
- [15] H. Murrmann und D. Widmann: *Current Crowding on Metal Contacts to Planar Devices*; IEEE Transactions on Electron Devices 16 1969; pp.1022-1024
- [16] D. Neamen: *Semiconductor Physics and Devices*; Irwin; Homewood, Illinois, USA 1992
- [17] K. K. Ng und W. T. Lynch: *Analysis of the Gate-Voltage-Dependent Series Resistance of MOSFET's*; IEEE Transactions on Electron Devices 33 1986; pp.965-972
- [18] W. Nolting: *Grundkurs: Theoretische Physik, Elektrodynamik*; Verlag Zimmermann-Neufang Ulmen 1993 S.429f
- [19] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow und J. F. Shepard: *Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor*; IEEE Transactions on Electron Devices 27 1980; pp.1359-1367
- [20] K. O. Pöhl: *Zehn Deutsche Mark*; Deutsche Bundesbank 1990
- [21] W. H. Press, S. A. Teukolsky, W. T. Vetterling und B. P. Flannery: *Numerical Recipes in C*; 2nd ed. Cambridge University Press 1995; p.683
- [22] S. Selberherr: *Analysis and Simulation of Semiconductor Devices*; Springer Verlag Wien New York 1984; p.95
- [23] S. M. Sze: *Physics of Semiconductor Devices*; John Wiley & Sons; New York 1981
- [24] S. M. Sze: *VLSI Technology*; McGraw-Hill; New York 1983; p.250

- [25] Y. Tsividis: *Operation and Modeling of the MOS Transistor*; McGraw-Hill; New York 1987; p.436
- [26] W. Weber, M. Brox, R. Thewes und N. S. Saks: *Hot-Hole-Induced Negative Oxide Charges in n-MOSFET's*; IEEE Transactions On Electron Devices 42 1995; pp.1473-1480

Danksagung

An dieser Stelle möchte ich mich bei allen bedanken, die mir bei der Erstellung dieser Arbeit unterstützt haben.

Besonders möchte ich mich bei Herrn Prof. Dr. K. Hoffmann vom Lehrstuhl Elektronik der Universität der Bundeswehr für die Themenstellung dieser Arbeit und die vielen wertvollen Diskussionsbeiträge bedanken.

Sehr zu Dank verpflichtet bin ich Herrn Prof. Dr. P. Vogl vom Lehrstuhl für Theoretische Halbleiterphysik am Walter Schottky Institut der Technischen Universität München für seine Bereitschaft zur Betreuung dieser externen Arbeit.

Ein „*Gratias maximas ago!*“ ergeht meinem Betreuer und lieben Freund Fb Dipl.-Phys. F. Schuler, der mir stets mit Rat und Tat zur Seite stand.

Ferner gilt mein Dank allen Mitarbeitern des Lehrstuhls Elektronik, die mir durch zahlreiche Diskussionen den Einstieg in die Thematik erleichterten. Stellvertretend seien hier die Herren Dr. O. Kowarik, Dr. L. Göhler und Dipl.-Ing. C. Matthes genannt.

Bedanken möchte ich mich ebenfalls bei Herrn Dr. P. Klein von der SIEMENS AG für wertvolle Diskussionen.

Nicht vergessen möchte ich auch meinen Dank an Fr. D. Lenke, Fr. M. Wallaschek sowie Herrn M. Hohe, die mich bei der Schreibe- und Korrekturlesung unterstützt haben.

Abschließend — dafür aber um so herzlicher — möchte ich mich bei meinen Eltern für die Unterstützung bedanken, die sie mir während meines Studiums, dessen Abschluß diese Arbeit darstellt, zuteil werden ließen.